



⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Offenlegungsschrift  
⑩ DE 197 48 885 A 1

⑤ Int. Cl.<sup>6</sup>:  
H 03 L 7/08  
H 04 L 7/033

14

⑳ Aktenzeichen: 197 48 885.4  
㉑ Anmeldetag: 5. 11. 97  
㉒ Offenlegungstag: 20. 5. 99

DE 197 48 885 A 1

㉓ Anmelder:  
Telefonaktiebolaget L M Ericsson, Stockholm, SE  
  
㉔ Vertreter:  
HOFFMANN · EITLE, 81925 München

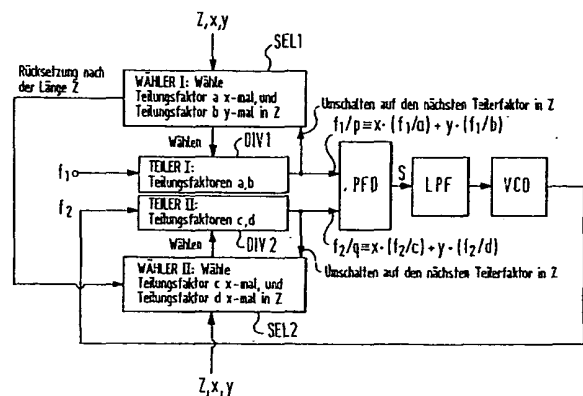
㉕ Erfinder:  
LinB, Bernhard, 31162 Bad Salzdetfurth, DE  
  
㉖ Entgegenhaltungen:  
DE 39 39 709 A1  
US 51 44 254  
US 45 16 083  
JP 57-20 037 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

㉗ Phasenregelschleife mit Verbesserungen des Phasen-Jitters, MTIEs, der Folgegeschwindigkeit und der Einrastgeschwindigkeit

㉘ Die Phasenregelschleife (PLL) der Erfindung umfaßt einen ersten Teiler (DIV1), einen zweiten Teiler (DIV2), eine Phasendetektionseinrichtung (PFD) und eine Oszillator-Einrichtung (VCO), die in einer PLL-Schleifenkonfiguration verschaltet sind. Der erste Teiler (DIV1) und der zweite Teiler (DIV2) weisen jeweils wenigstens zwei verschiedene wählbare Frequenzfaktoren (a, b; c, d) auf. Eine Steuereinrichtung (CTPL) schaltet zwischen Paaren von Frequenzteilungsfaktoren, die jeweils aus beiden Teilern (DIV1, DIV2) gewählt werden, gemäß einem vorgegebenen Umschaltmuster (Z) um. Die Verwendung von wenigstens zwei verschiedenen Paaren von Frequenzteilungsfaktoren in den Teilern (DIV1, DIV2) ermöglicht eine hohe Phasenauflösung, eine schnelle Folgegeschwindigkeit und eine Feinabstimmung der Frequenz/Phase des Ausgangssignals des spannungsgesteuerten Oszillators (VCO) in Schritten von ppm.



DE 197 48 885 A 1

## GEBIET DER ERFINDUNG

- 5 Die Erfindung betrifft eine Phasenregelschleife zum Erzeugen eines Ausgangssignals, das relativ zu einem Referenzsignal einer vorgegebenen Referenzfrequenz eine vorgegebene Frequenz und eine eingerastete Phase aufweist. Die Erfindung betrifft eine Phasenregelschleife, die eine Erhöhung der Grenzfrequenz des Tiefpaßfilters und der Auflösung des Phasen/Frequenz-Diskriminators ermöglicht, insbesondere für einen geringen Durchschnitszeit-Intervallfehler (mean-time interval error MTIE), einen geringen Phasen-Jitter selbst bei niedrigen Frequenzen und eine schnelle Folgegeschwindigkeit und eine minimale Zeit zum Einrasten auf die Referenzfrequenz.

## HINTERGRUND DER ERFINDUNG

- Die Phasenregelschleife (PLL) ist eine nützliche Einzelkomponente, die von mehreren Herstellern als eine einzelne integrierte Schaltung verfügbar ist. Eine Phasenregelschleife PLL enthält typischerweise einen Phasendetektor PFD, einen Verstärker  $A_v$ , ein Tiefpaßfilter LPF (die beide in einer Tiefpaßfilter-Einrichtung LPFM enthalten sind) und einen spannungsgesteuerten Oszillator VCO, die schematisch in Fig. 1a gezeigt ist. In einer Phasenregelschleife werden eine Mischung von digitalen und analogen Techniken in einem Paket kombiniert. Die Anwendungen der Phasenregelschleife finden sich in der Tondecodierung, einer Demodulation von AM und FM-Signalen, einer Frequenzmultiplikation, einer Frequenzsynthese, einer Pulssynchronisation von Signalen von rauschbehafteten Quellen, z. B. einem Magnetband, und einer Regeneration von "sauberen" Signalen.

- Der grundlegende Betrieb der Phasenregelschleife ist wie folgt. Der Phasendetektor PFD ist eine Einrichtung, die zwei Frequenzen vergleicht, d. h. die vorgegebene Frequenz  $f_2$  eines Ausgangssignals von dem spannungsgesteuerten Oszillator und eine vorgegebene Referenzfrequenz  $f_1$  eines Referenzsignals  $f_1$ . Der Phasendetektor erzeugt einen Ausgang, der ein Maß der Phasendifferenz zwischen den zwei Signalen  $f_1$ ,  $f_2$  ist (wenn sie sich beispielsweise in der Frequenz unterscheiden, ergibt dies einen periodischen Ausgang bei der Differenzfrequenz). Wenn  $f_1$  nicht gleich zu  $f_2$  ist veranlaßt das Phasenabweichungssignal, nachdem es in der Tiefpaßfiltereinrichtung LPFM gefiltert und verstärkt worden ist, die Frequenz des spannungsgesteuerten Oszillators sich in die Richtung von  $f_1$  zu verschieben. Wenn die Betriebsbedingungen richtig eingestellt sind, wird der spannungsgesteuerte Oszillator seine Ausgangsfrequenz  $f_2$  schnell auf die Referenzfrequenz  $f_1$  "einrasten", wobei eine feste Phasenbeziehung zu dem Eingangssignal aufrecht erhalten wird.

- Die erzeugte Steuerspannung, die dem VCO eingegeben wird, ist ein Maß für die Ausgangsfrequenz  $f_2$ . Der VCO-Ausgang ist eine lokal erzeugte Frequenz, die im einfachsten Fall gleich zu  $f_1$  ist, wodurch somit eine saubere Kopie von  $f_1$ , die selbst rauschbehaftet sein kann, bereitgestellt wird. Die Wellenformen von  $f_1$ ,  $f_2$  sind nicht auf irgendeine bestimmte Wellenform beschränkt, d. h. das Ausgangssignal des VCOs kann eine Sägezahnwelle, eine Rechteckwelle oder irgendeine andere Welle sein. Deshalb stellt die Phasenregelschleife PLL eine einfache Technik bereit, um beispielsweise eine Rechteckwelle zu erzeugen, die auf eine Folge von Eingangsimpulsen eingerastet ist.

- Da der Phasendetektor PFD die Phase (oder die Frequenz) der Referenzfrequenz  $f_1$  mit der vorgegebenen Frequenz  $f_2$  vergleicht, die von dem spannungsgesteuerten Oszillator ausgegeben wird, ist das Phasenabweichungssignal  $S$  ein Signal, das – in Abhängigkeit von dem Folgeverhalten der Phasenregelschleife PLL – Werte entsprechend der Phasen/Frequenzabweichung zwischen  $f_1$  und  $f_2$  annimmt.

## STAND DER TECHNIK

- Um ein flexibleres Design der voranstehend erwähnten Parameter zu ermöglichen und eine Erzeugung von Ausgangsfrequenzen  $f_2$  bei einem Vielfachen der Referenzfrequenz  $f_1$  zu ermöglichen, und auch Verbesserungen der voranstehend erwähnten Parameter vorzunehmen, werden herkömmlicherweise Teiler zum Teilen der vorgegebenen Frequenz  $f_2$  und der Referenzfrequenz  $f_1$  durch jeweilige Frequenzteilerfaktoren  $p$ ,  $q$  in zwei Teilern DIV1, DIV2 vorgesehen, die vor der Phasendetektionseinrichtung PFD angeordnet sind, wie in Fig. 1b dargestellt. Fig. 1b zeigt die Merkmale des Oberbegriffs des Anspruchs 1. Mit einer geeigneten Wahl der Frequenzteilerfaktoren  $p$ ,  $q$  vergleicht die Phasendetektionseinrichtung PFD geteilte Frequenzen  $f_1/p$  und  $f_2/q$ , um das Phasenabweichungssignal  $S$  zu ermitteln. Es gibt auch Ausbildungen, bei denen nur ein Teiler DIV1 verwendet wird. Aus Fig. 1b ist ersichtlich, daß mit der geeigneten Wahl von  $p$ ,  $q$  zusammen mit einer geeigneten Wahl der Grenzfrequenz und der Filtercharakteristik des Tiefpaßfilters LPF und der Verstärkung  $A_v$  die Folgegeschwindigkeit, die Einrastgeschwindigkeit, der MTIE (meantime interval error) und außerdem der Phasen-Jitter beeinflußt werden kann. Nachdem die Frequenzen  $f_1$ ,  $f_2$  durch geeignete Frequenzfaktoren  $p$ ,  $q$  geteilt werden, können gewünschte Frequenzverhältnisse eingestellt werden.

- Der Ausgang des Phasendetektors PFD (der z. B. ein Mischer oder ein Flip-Flop sein kann), d. h. das Phasenabweichungssignal  $S$ , umfaßt ein Spektrum, das die Steuerinformation in seinem unteren Frequenzbereich enthält. Um diese Steuerinformation zu extrahieren wird das Spektrum durch das Tiefpaßfilter LPF, das eine durch die bestimmte Anwendung gegebene Grenzfrequenz aufweist, tiefpaßgefiltert. Wenn eine große Anzahl von Phasenvergleichen in einer gegebenen Zeit durchgeführt wird, d. h. wenn die Frequenzen  $f_1/p$ ,  $f_2/q$  groß sind, dann ist das Spektrum relativ breit, die Grenzfrequenz des Tiefpaßfilters LPF kann relativ groß sein und es ist ausreichend ein Tiefpaßfilter mit einer vergleichsweise einfachen Ausbildung (6 dB/Dekade) zu verwenden, da die höheren spektralen Komponenten von der Anwendungs-abhängigen Tiefpaßfilter-Grenzfrequenz weit entfernt sind. Wenn im Gegensatz dazu über einer gegebenen Zeitperiode nur eine kleine Anzahl von Phasenvergleichen durchgeführt werden kann, d. h. wenn die Frequenzen  $f_1/p$ ,  $f_2/q$  vergleichsweise klein sind, dann ist das Spektrum relativ schmal und es ist erforderlich, eine niedrige Grenzfrequenz des Tiefpaßfilters LPF zu wählen und Tiefpaßfilter mit einem relativ komplizierten Design (z. B. 30 bis 30 dB/Dekade) zu verwenden, da die höheren spektralen Komponenten sich relativ nahe an der Anwendungs-abhängigen Tiefpaßfilterfrequenz befinden.

In Abhängigkeit von der Grenzfrequenz und dem gewählten Filterdesign kann der Ausgang der Tiefpaßfiltereinrichtung LPFM noch spektrale Komponenten enthalten, die durch das Tiefpaßfilter LPF nicht ausreichend unterdrückt worden sind. Selbst wenn komplizierte Filterdesigns verwendet werden, z. B. Schalterkondensatorfilter mit einer sehr steilen Flanke, kann die Schaltfrequenz als eine spektrale Komponente in dem Ausgang der Tiefpaßfilter-Einrichtung LPFM auftreten. Ferner können andere Verzerrungs- und Rauschkomponenten in dem Ausgang der Tiefpaßfilter-Einrichtung LPFM vorhanden sein, die durch das LPF nicht ausreichend unterdrückt worden sind. Derartige Effekte verursachen einen Phasen-Jitter in dem Ausgang des spannungsgesteuerten Oszillators VCO, d. h. eine Schwankung der Ausgangssignalfrequenz  $f_2$ . Ferner ist der spannungsgesteuerte Oszillator – selbst bei Abwesenheit einer Eingangssteuerspannung – nicht vollständig stabil, was einen weiteren Eigenphasenjitter in der Ausgangssignalfrequenz  $f_2$  verursacht.

Ferner beeinflusst die Wahl der Grenzfrequenz und der Filtercharakteristik nicht nur die ausreichende Unterdrückung von spektralen Komponenten und anderen Rauschkomponenten in dem Ausgang des LPFs, sondern beeinflusst auch das Folge- und Einrastverhalten der gesamten Phasenregelschleife. Auch hinsichtlich der maximalen Folgegeschwindigkeit und der Zeit, die die PLL zum Einrasten auf die Referenz benötigt, und des meantime interval Fehlers ist deshalb die Wahl der Grenzfrequenz des LPFs in Bezug auf die Frequenzen  $f_1/p$ ,  $f_2/q$  wichtig, insbesondere wenn  $f_1/p$  und  $f_2/q$  kleine Frequenzen sind, so daß nur eine kleine Anzahl von Phasenvergleichen durchgeführt werden kann.

## NACHTEILE DER PLL UNTER VERWENDUNG VON ZWEI TEILERN DIV1, DIV2

Wie voranstehend erläutert ist die Beziehung zwischen den verschieden voranstehend erwähnten Parametern von äußerster Wichtigkeit, um die gewünschte Betriebsbedingung der PLL zu erreichen. Insbesondere gibt es immer einen Kompromiß zwischen dem Phasen-Jitter, dem MTIE und der maximalen Folgegeschwindigkeit und außerdem der Zeit, die die PLL zum Einrasten benötigt.

In Abhängigkeit von der verfügbaren Referenzfrequenz  $f_1$  und der gewünschten Frequenz  $f_2$  treten insbesondere Probleme für große Werte von  $p$ ,  $q$  ohne gemeinsame Teiler auf. Dann weist die Konfiguration in Fig. 1b den Nachteil von großen Laufzeiten und Totzeiten auf; d. h. mit hohen Werten von  $p$ ,  $q$  wird eine beträchtliche Zeit benötigt, bis die Phasenregelschleife PLL einrastet, was durch die benötigte niedrige Grenzfrequenz des Tiefpaßfilters LPF bedingt ist.

Somit weisen derartige PLLs insbesondere für große Werte von  $p$ ,  $q$  (d. h. kleine Frequenzen zum Vergleich an dem PFD) prinzipbedingt eine langsame Ansprechgeschwindigkeit oder Trägheit und auch eine langsame Folgegeschwindigkeit auf, nachdem Änderungen in der Frequenz oder Phase des spannungsgesteuerten Oszillators oder in der Referenzfrequenz aufgetreten sind. Selbst wenn ein optimierter Zusammenhang für  $p$ ,  $q$ ,  $f_1$ ,  $f_2$  und der Grenzfrequenz des Tiefpaßfilters LPF gefunden wird, um eine bestimmte Betriebscharakteristik zu erhalten, besteht immer noch eine Wechselwirkung, da nicht alle anderen Betriebsbedingungen wie voranstehend erläutert, gleichzeitig optimiert werden können. Deshalb weist die PLL-Konfiguration aus Fig. 1b im wesentlichen die folgenden Hauptnachteile auf:

1. Abgesehen von der Erzeugung von großen Phasen-Jittern, insbesondere bei niedrigen Frequenzen, wird ein großer MTIE-Fehler (definiert als der mittlere Phasenfehler, der über mehrere Perioden der Frequenzen  $f_1$ ,  $f_2$  gemittelt ist) erzeugt. Diese trifft selbst dann zu, wenn teurere spannungsgesteuerte Oszillatoren mit guter Kurzzeitstabilität verwendet werden. Für einige Anwendungen ist die Verwendung von preiswerten LC- oder RC-Oszillatoren nahezu gänzlich ausgeschlossen.
2. Die maximale Folgegeschwindigkeit (wie z. B. für Sweeper benötigt wird) ist durch die Grenzfrequenz des Tiefpaßfilters LPF begrenzt.
3. Die Einrastgeschwindigkeit oder die minimale Zeit, die von der Phasenregelschleife zum Einrasten der Frequenz  $f_2$  auf die Frequenz  $f_1$  benötigt wird, ist ebenfalls durch die Grenzfrequenz des Tiefpaßfilters LPF begrenzt.
4. Es ist nicht möglich, die von dem spannungsgesteuerten Oszillator aus gegebene Frequenz  $f_2$  in Schritten von ppm (parts per million oder Teile pro Million) einzustellen, bedingt durch die vergleichsweise lange Ansprechzeit, die von der Grenzfrequenz des Tiefpaßfilters LPF verursacht wird.

Eine kleine Verbesserung der voranstehend beschriebenen Nachteile kann erhalten werden, wenn einer der Frequenzteilungsfaktoren  $p$ ,  $q$  ( $p < q$ ) durch eine Steuereinrichtung geringfügig geändert wird, z. B.  $p \rightarrow p+1$ . Auch andere Prozeduren unter Verwendung von gemischten Verfahren benötigen höchst fortgeschrittene Filter, d. h. Filter höherer Ordnung, die nach der Herstellung eine manuelle Feinabstimmung zusätzlich benötigen können.

## ZUSAMMENFASSUNG DER ERFINDUNG

Wie oben in dem herkömmlichen in Fig. 1b gezeigten Design erläutert, ist eine Einstellung des spannungsgesteuerten Oszillators in Schritten von ppm, ein schnelles Folgeverhalten des spannungsgesteuerten Oszillators mit gleichzeitiger Bereitstellung einer hohen Phasenstabilität und eine schnelle Einrastung der PLL schwierig, insbesondere mit großen Werten von  $p$ ,  $q$  ohne gemeinsame Teiler.

In der herkömmlichen PLL bilden jedoch nur die Werte  $p$ ,  $q$  und die Grenzfrequenz des Tiefpaßfilters und außerdem die Filtercharakteristik und die Verstärkung die Hauptdesignparameter zum Optimieren des PLL-Designs. Die Wahl dieser Parameter muß gleichzeitig die folgenden drei Kriterien optimieren:

- a) den maximalen zulässigen Phasenfehler, der durch die Phasen-Jitter-Anforderungen definiert wird;
- b) die Vergleichsfrequenzen und die Phasenaufösung, verursacht durch die Wahl der Frequenzteilerfaktoren; und
- c) die Grenzfrequenz des Tiefpaßfilters LPF wegen der Folge- und Phasenjitter-Verhalten.

Deshalb ist in dem herkömmlichen Design das Tiefpaßfilter-Design entweder sehr kompliziert oder die Phasenaufösung der PLL ist unzureichend.

Deshalb ist die Aufgabe der vorliegenden Erfindung,

- die Bereitstellung einer Phasenregelschleife (PLL), die eine hohe Phasenauflösung und eine schnelle Folge- und Einrastegeschwindigkeit erreichen kann, ohne daß ein kompliziertes Tiefpaßfilterdesign benötigt wird.

Diese Aufgabe wird durch eine Phasenregelschleife umfassend die Merkmale a), b), c), d) des Oberbegriffs des Anspruchs 1 wie in Fig. 1b gezeigt, gelöst, die dadurch gekennzeichnet ist, daß

- e) der erste Teiler wenigstens zwei verschiedene wählbare Frequenzteilerfaktoren aufweist;
- f) der zweite Teiler wenigstens zwei verschiedene wählbare Frequenzteilerfaktoren aufweist; und
- g) eine Steuereinrichtung vorgesehen ist
  - zum jeweiligen Wählen eines Frequenzteilerfaktor-Paars, bestehend aus einem Frequenzteilerfaktor des ersten Teilers und einem Frequenzteilerfaktor des zweiten Teilers; und
  - zum Umschalten zwischen wenigstens zwei verschiedenen Frequenzteilerfaktor-Paaren gemäß eines vorgegebenen Umschaltungsmusters einer vorgegebenen Länge.

Gemäß der Erfindung ist realisiert worden, daß eine höhere Phasenauflösung, eine höhere Folgegeschwindigkeit und außerdem eine Feineinstellung in Schritten von ppm realisiert werden kann, wenn die Teiler modifiziert werden, d. h. derart, daß jeder Teiler eine Vielzahl von wenigstens zwei verschiedenen wählbaren Frequenzteilerfaktoren aufweist. Eine Steuereinrichtung ist vorgesehen, um jeweils einen Frequenzteilerfaktor für jeden Teiler zu wählen. Die Paare von Frequenzteilerfaktoren werden dann gemäß einem vorgegebenen Umschaltungsmuster umgeschaltet.

Gemäß der Erfindung ist nicht nur realisiert worden, daß durch Erweitern der Frequenzteilerfaktoren in eine Vielzahl von Frequenzteilerfaktoren zur alternierenden Verwendung von jedem Teiler eine größere Designfreiheit für die Lösung der voranstehend erwähnten Probleme erhalten werden kann, sondern daß ein vorgegebenes Umschaltungsmuster immer gefunden werden kann, so daß der Phasenfehler in derartig kleinen Grenzen gehalten werden kann, die eine Einstellung der Phasenregelschleife in Schritten von ppm ermöglicht wird. Die Erfindung hat den herkömmlichen Weg verlassen, bei dem die Erzielung einer Optimierung der Phasenregelschleife mittels einer Einstellung von  $f_1$ ,  $f_2$  (p, q) zusammen mit der Grenzfrequenz oder der Filtercharakteristik angestrengt wird. Wenn mehrere Frequenzteilerfaktor-Paare gemäß dem Umschaltungsmuster umgeschaltet werden, werden beträchtliche Vereinfachungen in dem Tiefpaßfilterdesign möglich, während noch eine erhöhte Phasenauflösung erzielt werden kann.

Gemäß einer spezifischen Ausführungsform der Erfindung enthält jeder Teiler nur zwei wählbare Frequenzteilerfaktoren a, b; c, d und das Umschaltungsmuster wird zum Umschalten zwischen diesen zwei Paaren verwendet. Bereits zwei Frequenzteilerfaktoren sind zum Erzielen der Verbesserung der Phasenauflösung ausreichend.

Weitere vorteilhafte Ausführungsformen und Verbesserungen der Erfindung lassen sich den abhängigen Ansprüchen entnehmen. Nachstehend wird die Erfindung anhand ihrer Ausführungsformen und unter Bezugnahme auf die beiliegenden Zeichnungen erläutert.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

In den Zeichnungen bezeichnen die gleichen oder identischen Bezugszeichen die gleichen oder ähnliche Teile überall in den Zeichnungen. In den Zeichnungen zeigen:

Fig. 1a ein allgemeines Blockschaltbild einer herkömmlichen Phasenregelschleife einschließlich eines Phasendetektors PFD, einer Tiefpaßfilter-Einrichtung LPFM und einem spannungsgesteuerten Oszillator VCO;

Fig. 1b ein Prinzipblockschaltbild einer herkömmlichen Phasenregelschleife, wenn ein erster und ein zweiter Teiler DIV1, DIV2 zum Teilen des Ausgangssignals  $f_2$  und des Referenzsignals  $f_1$  jeweils durch einen einzelnen Frequenzteilerfaktor p, q verwendet werden;

Fig. 2-1 eine Ausführungsform der Phasenregelschleife unter Verwendung von zwei Frequenzteilerfaktoren pro Teiler zusammen mit einer Steuereinrichtung SEL1, SEL2 zum Umschalten zwischen den zwei Paaren von Frequenzteilerfaktoren gemäß einem vorgegebenen Umschaltungsmuster Z;

Fig. 2-2 eine Ausführungsform der Steuereinrichtung in Fig. 2 unter Verwendung von zwei Schieberegistern SHR1, SHR2, die jeweils das Umschaltmuster Z enthalten;

Fig. 2-3 eine Ausführungsform der Steuereinrichtung unter Verwendung von zwei Schieberegistern SHR1, SHR2 und einem Umschaltmusterspeicher SPM sowie einem Zähler CN;

Fig. 2-4 ein Verfahren zum Bestimmen der Teilerfaktoren a, b, c, d und des Umschaltmusters X, Y, Z;

Fig. 3-1 verschiedene Beispiele EX-1-EX6 unter Verwendung von zwei Paaren von Frequenzteilerfaktoren, die Situationen für ein schnelles Folgen, einen verringerten Jitter und eine Feinabstimmung in Schritten von ppm darstellt; und

Fig. 3-2 ein optimiertes Umschaltungsmuster Z für das Beispiel EX4 in Fig. 3-1.

#### PRINZIP DER ERFINDUNG

Gemäß der Erfindung enthält jeder Frequenzteiler DIV1, DIV2 in Fig. 1b eine Vielzahl von wenigstens zwei verschiedenen Frequenzteilungsfaktoren a, b; c, d zum jeweiligen Teilen der Referenzfrequenz  $f_1$  und der vorgegebenen Frequenz  $f_2$ . Zu jedem Zeitpunkt wird ein vorgegebenes Paar von Frequenzteilungsfaktoren bestehend aus einem Frequenzteilungsfaktor des ersten Teilers und einem Frequenzteilungsfaktor des zweiten Teilers gewählt. Die jeweiligen Paare sind vordefiniert. Ein Umschaltmuster, welches vorgegeben ist, wird zum Umschalten zwischen den einzelnen gewählten Paaren verwendet.

Beispielsweise umfaßt der erste Teiler DIV1 Frequenzteilungsfaktoren  $a_1, a_2, \dots, a_n$  und der zweite Teiler DIV2 enthält Frequenzteilungsfaktoren  $b_1, b_2, \dots, b_n$ . Paare  $P_n$  der Frequenzteilungsfaktoren a, b sind vordefiniert, d. h.:  $P_1 = (a_1, b_1)$ ,

$P_2 = (a_2, b_2), \dots, P_n = (a_n, b_n)$ . Der Frequenzteilungsfaktor  $a_n$  und der Frequenzteilungsfaktor  $b_n$  können beliebig gewählt werden, wobei angenommen wird, daß  $a_1, a_2, \dots, a_n, b_1, b_2, \dots, b_n$  natürliche Zahlen sind und  $b_1 < a_1, b_2 < a_2, \dots, b_n < a_n$  ist. Ein optimiertes Umschaltmuster kann immer gefunden werden, so daß der Phasenabweichungsbetrag z. B. des Phasenabweichungssignals S innerhalb bestimmter Grenzen bleibt, die sehr viel kleiner als der Phasenabweichungsbetrag und somit als der Phasen-Jitter ist, die mit der herkömmlichen Konfiguration in Fig. 1b erhalten werden können.

Somit hat die Erfindung nicht nur realisiert, daß die Frequenzteilung, die von dem Teiler DIV1 ausgeführt wird, in eine Frequenzteilung unter Verwendung von verschiedenen Paaren von Frequenzteilungsfaktoren gemäß einem vorgegebenen Umschaltmuster "ausgeweitet" werden kann, sondern die Erfindung hat auch realisiert, daß selbst mit einem nicht-optimierten Umschaltmuster die Phasenauflösung, der Phasen-Jitter sowie die Folgegeschwindigkeit gegenüber der herkömmlichen Lösung in Fig. 1b verbessert werden kann. Gemäß der Erfindung kann auch gezeigt werden, daß für jede Kombination von Frequenzteilungsfaktoren ein optimiertes Umschaltmuster erhalten werden kann, so daß der Phasenabweichungsfehler innerhalb bestimmter definierter Grenzen bleibt.

Somit hat die Erfindung die Frequenzteilung in den jeweiligen Teilern im Prinzip wie folgt erweitert:

$$\frac{f_1}{p} \equiv z_1 * \frac{f_1}{a_1} + z_2 * \frac{f_1}{a_2} + \dots + z_n * \frac{f_1}{a_n} \quad 15$$

$$\frac{f_2}{q} \equiv z_1 * \frac{f_2}{b_1} + z_2 * \frac{f_2}{b_2} + \dots + z_n * \frac{f_2}{b_n} \quad 20$$

Es sei darauf hingewiesen, daß in den obigen zwei Gleichungenas "≡" Zeichen nur schematisch darstellt, daß die ursprüngliche Teilung von  $f_1$  durch den Referenzteilungsfaktor  $p$  durch eine Teilung von  $f_1$   $z_1$  mal durch  $a_1$ ,  $z_2$  mal durch  $a_2$ , ... und  $z_n$  mal durch  $a_n$  ersetzt worden ist. Genauso ist die Frequenzteilung von  $f_2/q$  durch eine Teilung von  $f_2$   $z_1$  mal durch  $b_1$  etc. ersetzt worden. Die Länge des Umschaltmusters Z ist:

$$Z = z_1 + z_2 + \dots + z_n. \quad 30$$

Für die Verbesserung der Auflösung ist es nur wichtig, daß in der Länge Z des Umschaltmusters eine Auswahl des Paares  $P_1$   $z_1$ -mal, eine Teilung unter Verwendung des Paares  $P_2$   $z_2$ -mal etc. stattfindet.

Für irgendeine Anzahl von Frequenzteilungsfaktoren  $n \geq 2$  kann gezeigt werden, daß eine optimierte Folge einer Umschaltung zwischen den Paaren  $P_1, P_2, \dots, P_n$  derart gefunden werden kann, daß der verbleibende Phasenabweichungsfehler in dem Phasenabweichungssignal S minimiert ist. Hierbei wird angenommen, daß  $p < q$  ist und  $p$  und  $q$  keinen gemeinsamen Teiler aufweisen, daß  $a_1, a_2, \dots, a_n$  und  $b_1, b_2, \dots, b_n$  und  $p, q$  natürliche Zahlen sind und  $b_1 < a_1, b_2 < a_2, \dots, b_n < a_n$  (eine ähnliche Beziehung ist für  $p > q$  erfüllt).

Somit basiert die Erfindung auf der Feststellung, daß für irgendeinen Wert  $p/q$  (wobei  $p, q$  teilerfremd sind) wenigstens zwei Paare von Teilerfaktoren gefunden werden können, so daß die Phasenauflösung vor (!) dem Tiefpaßfilter LPF kleiner als in dem herkömmlichen Fall von Fig. 1a ist und, daß nach einer Länge einer Umschaltung Z der Phasenfehler vor dem Tiefpaßfilter LPF einen Nullstelle aufweist.

Durch Verwendung des Prinzips der Erfindung kann für irgendeine gewünschte Phasenauflösung, Folgegeschwindigkeit und Einrastegeschwindigkeit sowie für irgendwelche Anforderungen des Phasen-Jitters und des MTIE-Fehlers (mean time interval error) eine Anzahl von Frequenzteilungsfaktoren  $P_n$  ( $n \geq 2$ ) und ein Umschaltmuster Z gefunden werden, so daß diese Anforderungen immer sogar auf eine Feinabstimmung in Schritten von ppm herab erfüllt werden können. Die Tatsache, daß die Abstimmung in Schritten von ppm bereits mit  $n = 2$  erzielt werden kann, wird nachstehend unter Bezugnahme auf eine Ausführungsform der Erfindung erläutert, so wie sie in Fig. 2 dargestellt ist.

#### AUSFÜHRUNGSFORM DER ERFINDUNG FÜR $n = 2$

Eine Ausführungsform der Erfindung gemäß den Phasenregelschleife PLL, bei der der erste Teiler zwei Frequenzfaktoren  $a$  und  $b$  und der zweite Teiler zwei Frequenzteilungsfaktoren  $c$  und  $d$  aufweist und eine Steuereinrichtung mit zwei Wählern SEL1, SEL2 zwischen einem ersten Paar  $P_1$  bestehend aus Frequenzteilungsfaktoren  $a$  und  $c$  und einem zweiten Paar  $P_2$  bestehend aus Frequenzteilungsfaktoren  $b$  und  $d$  umschaltet, ist in Fig. 2-1 gezeigt. In Fig. 2-1 bezeichnen die gleichen Bezugszeichen wie in den Fig. 1a, 1b die gleichen Teile.

Wie sich Fig. 2-1 entnehmen läßt, ist hier die herkömmliche Frequenzteilung der vorgegebenen Frequenz  $f_1/p$  in eine Frequenzteilung von  $x$ -mal durch  $a$  und  $y$ -mal durch  $b$  aufgeteilt worden, z. B. das Eingangssignal an der Phasenvergleichseinrichtung PFD ist folgendermaßen entwickelt worden:

$$f_1/p = x \cdot (f_1/a) + y \cdot (f_1/b). \quad 60$$

Genauso wird das andere Eingangssignal an der Phasenvergleichseinrichtung PFD in eine Frequenzteilung von  $x$ -mal durch  $c$  und  $y$ -mal durch  $d$  aufgesplittet, z. B.:

$$f_2/q = x \cdot (f_2/c) + y \cdot (f_2/d). \quad 65$$

Die Steuereinrichtung mit den Wählern SEL1, SEL2 berechnet die Anzahl  $x$  von Teilungen durch  $a$  in dem ersten Teiler und durch  $c$  in dem zweiten Teiler und die Anzahl  $y$  der Teilungen durch  $b$  in dem Teiler DIV1 und durch  $d$  in dem Tei-

ler DIV2. Wie nachstehend noch ersichtlich wird, kann  $x$ ,  $y$  und somit die Länge  $Z = x + y$  des Umschaltmusters immer auf Grundlage von  $p$ ,  $q$  und den vorgegebenen Frequenzteilungsfaktoren  $a$ ,  $b$ ,  $c$ ,  $d$  berechnet werden. Somit wählen die Wähler SEL1, SEL2 jeweils das Paar  $P_1 = (a, c)$   $x$ -mal und das Paar  $P_2 = (b, d)$   $y$ -mal.

- Wie sich die folgenden mathematischen Betrachtungen ersehen läßt, ermöglicht die Phasenregelschleife gemäß der Ausführungsform der Erfindung in Fig. 2-1 nicht nur eine signifikant höhere Vergleichsfrequenz an der Phasenvergleichseinrichtung PFD (dem Phasen- und Frequenzdiskriminator), sondern erreicht auch eine viel bessere Phasenauflösung für die Phase selbst für irgendeine Beziehung von "p/q" der Frequenzen der Referenzfrequenz  $f_1$  und der Ausgangsfrequenz  $f_2$  des spannungsgesteuerten Oszillators VCO. Somit ist die erfindungsgemäße Phasenregelschleife gemäß Fig. 2-1 durch die geführte Auswahl zwischen zwei Frequenzteilungspaaren bestehend aus  $a$ ,  $c$  und  $b$ ,  $d$  gemäß der Länge des Umschaltmusters oder der Wählreihe  $Z$  mit einer vorgegebenen Länge  $Z$  charakterisiert.

- Wie voranstehend erläutert werden die Frequenzteilungsfaktoren  $a$ ,  $b$ ,  $c$ ,  $d$  so gewählt, daß sie kleiner als  $p$  oder  $q$  sind, was zu einer höheren Vergleichsfrequenz an dem Phasendetektor PFD führt. Es sei darauf hingewiesen, daß die Frequenzteilungsfaktoren  $a$ ,  $b$ ,  $c$ ,  $d$  selbst nicht exakt das gewünschte Frequenzverhältnis "p/q" darstellen. Bei jedem Vergleich existiert eine kleine Phasenabweichung, die mit  $e$  und  $g$  bezeichnet ist, und zwar vor (!) dem Tiefpaßfilter. Das heißt, wenn sie positiv (oder negativ) mit dem ersten Frequenzteilungsfaktor-Paar  $P_1 = (a, c)$ , ist, dann ist sie negativ (positiv), wenn das zweite Frequenzteilungs-Paar  $P_2 = (b, d)$  verwendet wird.

- Das Tiefpaßfilter mit seinem Integrationsanteil erzeugt die resultierende Phasenabweichung (Fehler), der nach irgendeiner vorgegebenen Länge  $Z$  des Umschaltmusters, welches eine Anzahl  $x$  von Teilungen  $P_1$  und eine Anzahl  $y$  von Teilungen unter Verwendung von  $P_2$  umfaßt, Null wird. Die resultierende Phasenabweichung erweist – unabhängig (!) von der Grenzfrequenz des Tiefpaßfilters LPF und unabhängig von dem gewählten Umschaltmuster  $Z$  (!) – eine Nullstelle nach einer Länge  $Z$  auf. Es kann gezeigt werden, daß die Länge des Umschaltmusters wie folgt bestimmt werden kann:

$$Z = (x + y)$$

- wobei  $x$  die Anzahl von Malen einer Teilung durch das Paar  $P_1$  ist und  $y$  die jeweilige Anzahl von Teilungen unter Verwendung von  $P_2$  ist. Da  $x$  und  $y$  natürliche Zahlen sind und auch  $a$ ,  $b$ ,  $c$ ,  $d$  natürliche Zahlen sind, kann die Steuereinrichtung CTRL die Länge des Umschaltmusters  $Z$  immer gemäß der voranstehend erwähnten Formel berechnet.

- Wenn ferner das Umschaltmuster  $Z$  unter Verwendung von  $P_1$ ,  $P_2$  gemäß einer optimierten Folge alternierend optimiert wird, schwankt die Eigenphasen-Jitteramplitude vor (!) dem Tiefpaßfilter LPF nur in einem Intervall von

$$(-I, +I) \text{ mit } I = Z/2q = (e + g)/2.$$

Mit der Wahl von  $a$ ,  $b$ ,  $c$ ,  $d$  und der Grenzfrequenz des LPFs können vorgegebene Phasen-Jitter Anforderungen in dem Ausgang des spannungsgesteuerten Verstärkers erfüllt werden.

#### BETRIEB DER AUSFÜHRUNGSFORM FÜR $n = 2$

- Wie voranstehend erläutert, ist eine Steuereinrichtung SEL1, SEL2 zum Umschalten zwischen den Paaren  $P_1$ ,  $P_2$  gemäß dem vorgegebenen Umschaltmuster  $Z$  vorgesehen. Das Umschaltmuster weist eine Länge auf, die die Umschaltung zwischen  $P_1$ ,  $P_2$  an den Teilern DIV1, DIV2 anzeigt. Wie erläutert zeigt  $Z$  an, daß  $x$ -mal  $P_1$  gewählt werden soll und  $y$ -mal  $P_2$  gewählt werden soll, und zwar gemäß einem vorgegebenen Muster, dessen Bestimmung nachstehend noch näher unter Bezugnahme auf die Fig. 2-4 erläutert wird.

- Unter der Annahme, daß das Wählsignal von dem Wähler SEL1, SEL2 jeweils einen L-Pegel annimmt, um die Auswahl von  $P_1$  anzuzeigen, und einen H-Pegel zum Anzeigen der Auswahl von  $P_2$  an den Teilern DIV1, DIV2 annimmt, dann ist das Umschaltmuster eine Reihe von H, L einer Länge  $Z$  mit einem vorgegebenen Muster. Das Umschaltmuster ist das gleiche in dem Wähler SEL1 und dem Wähler SEL2. Die nächste Stelle in dem Umschaltmuster (H oder L) zum jeweiligen Wählen des nächsten Paares  $P_1$ ,  $P_2$  wird immer dann gewählt, wenn der Teiler DIV1 oder DIV2 einen Impuls an den Phasendetektor PFD ausgibt, was mit der Linie zwischen dem Eingang des Phasendetektors PFD und dem jeweiligen Wähler SEL1, SEL2 angedeutet ist. Mit jedem Ausgangsimpuls wird der nächste Teilungsfaktor in dem Umschaltmuster gewählt.

Da  $f_1$ ,  $f_2$  und die Teilungsfaktoren  $a$ ,  $b$ ,  $c$ ,  $d$  unterschiedlich zueinander sind (d. h.  $p$  und  $q$  unterscheiden sich voneinander) ist klar, daß die Umschaltung auf den nächsten Teilungsfaktor in jedem Teiler DIV1, DIV2 nicht-synchronisiert ausgeführt wird, da die zwei Impulse, die jeweils dem Phasendetektor PFD von DIV1, DIV2 eingegeben werden, aufgrund der verschiedenen jeweils ausgeführten Frequenzteilungen zu verschiedenen Zeiten ankommen.

- Andererseits existiert eine insgesamt Synchronisation, wenn der Wähler SEL1 vollständig durch das Umschaltmuster der Länge  $Z$  durchgeschaltet hat, wie mit dem "Rücksetzung nach der Länge  $Z$ " zwischen dem Wähler SEL1 und dem Wähler SEL2 in Fig. 2-1 gezeigt ist. Das heißt, wenn die letzte Auswahl eines Teilungsfaktors  $a$ ,  $b$  aufgrund des letzten Eintrags in dem Umschaltmuster beendet worden ist und ein weiterer Impuls von dem Teiler DIV1 ausgegeben wird, dann startet der Wähler SEL1 das Umschaltmuster erneut von dem Anfang. Obwohl der Wähler SEL2 unter Umständen noch nicht durch das vollständige Umschaltmuster zu dieser Zeit gelaufen ist, d. h. wenn die PLL noch nicht eingerastet ist, dann wird auch der Wähler SEL2 aufgrund der von dem Wähler SEL1 aus gegebenen Rücksetzung auf den Anfang des Umschaltmusters zurückgesetzt. D. h. wenn der Wähler SEL1 vollständig durch das Umschaltmuster gelaufen ist, dann wird eine Gesamtsynchronisation so ausgeführt, daß beide Wähler SEL1, SEL2 das Umschaltmuster erneut synchron starten. Dies verursacht jedoch keinerlei Problem, da maximal ein Phasenvergleich verloren geht, wenn der letzte Impuls von dem Teiler DIV2 nicht an den Phasendetektor PFD angelegt worden ist, wenn die Rücksetzung der Umschaltmuster synchron in beiden Wählern SEL1, SEL2 ausgeführt wird.

Die Teiler DIV1, DIV2 können als Zähler ausgeführt werden, die ein Signal nach Heraufzählen auf eine vorgegebene Anzahl (z. B. 15) ausgeben. Um das Einstellen der Teilungsfaktoren  $a$ ,  $b$  auszuführen, wird der Anfangszählwert jeweils

auf einen anderen Wert gesetzt, so daß der Überlaufimpuls nach einer Anzahl von Zählungen a, b der Eingangsfrequenz f1 oder f2 erzeugt wird. Mit einem derartigen setzbaren Zähler können im wesentlichen eine beliebige Anzahl von verschiedenen Teilungsfaktoren eingestellt werden.

#### AUSFÜHRUNGSFORM DES WÄHLERS UNTER VERWENDUNG EINES SCHIEBEREGISTERS

Fig. 2-2 zeigt eine Ausführungsform der Wähler SEL1, SEL2 in Fig. 2-1 unter Verwendung von Schieberegistern SHR1, SHR2. Wie in Fig. 2-2 angedeutet, wird ein Umschaltmuster bestehend aus einer Reihe von H, L in das jeweilige Schieberegister SHR1, SHR2 geladen. Immer dann, wenn ein Impuls von dem Teiler I oder dem Teiler II ausgegeben wird, wird das Umschaltungsmuster um 1 Bit verschoben, so daß der nächste Teilungsfaktor a, b oder c, d gewählt wird. Das Schieberegister SHR1, SHR2 ist in einer Ringkonfiguration ausgebildet, so daß das letzte Ausgangsbit H, L dem Register erneut eingegeben wird. Deshalb wird in zyklischer Weise das gleiche Umschaltungsmuster wiederholt zum Wählen der Teilungsfaktoren verwendet. Wie bereits unter Bezugnahme auf Fig. 2-1 erläutert, wird der nächste Teilungsfaktor immer dann gewählt, wenn der jeweilige Teiler einen nächsten Impuls ausgibt. Um jedoch die Gesamtsynchronisation zu erreichen, werden beiden Umschaltungsmuster zurückgesetzt, wenn das Schieberegister SHR1 vollständig durchgeschaltet hat (was mit der Leitung "Rücksetzung des Umschaltmusters" zwischen dem Schieberegister SHR1 und SHR2 angedeutet ist).

#### AUSFÜHRUNGSFORM DES WÄHLERS UNTER VERWENDUNG EINES UMSCHALTUNGSMUSTER-SPEICHERS SPM

Fig. 2-3 zeigt eine Ausführungsform des Wählers, der in Fig. 2-1 gezeigt ist, unter Verwendung jeweils eines Umschaltungsmusterspeichers SPM und eines Schieberegisters SHR1, SHR2. Der Zähler CN zählt die Anzahl von Ausgangsimpulsen von dem ersten Teiler I und lädt das Umschaltungsmuster aus dem Umschaltungsmusterspeicher in das Schieberegister SHR1 erneut nach Zählen der Anzahl von Z Impulsen in dem Ausgang von dem Teiler I. Wie mit der Verbindung zwischen dem Ausgang des Zählers CN und dem Umschaltungsmusterspeicher SPM, der mit dem Schieberegister SHR2 verbunden ist, ersichtlich, werden wiederum nach dem Zählen der Anzahl Z beide Schieberegister SHR1, SHR2 auf das Umschaltungsmuster, das in dem jeweiligen Umschaltungsmusterspeicher gespeichert ist, zurückgesetzt.

Ausführungsformen der Erfindung unter Verwendung von verschiedenen Kombinationen der Werte p, q und a, b, c, d und Z werden weiter nachstehend unter Bezugnahme auf die in Fig. 3 angegebenen Beispiele erläutert. Nachstehend wird gezeigt, wie die Steuereinrichtung CTRL das Umschaltungsmuster Z für irgendeine Kombination von Teilungsfaktoren berechnet, wenn jeder Teiler DIV1, DIV2 jeweils zwei Frequenzteilungsfaktoren verwendet.

#### BESTIMMUNG VON x, y UND DER PHASENFEHLER e, g

Die Steuereinrichtung CTRL geht von einer Betrachtung der herkömmlichen Konfiguration in Fig. 1b aus, d. h. die zwei Frequenzen f1, f2 stimmen nicht überein, z. B. die Frequenzen f1/f2 weisen ein vorgegebenes Verhältnis wie folgt auf:

$$f2 = (p/q) \cdot f1 \quad (1)$$

wobei angenommen wird, daß p und q die Beziehung  $p < q$  erfüllen und p und q teilerfremd sind. In der Tat bezeichnet die obige Gleichung (1) den eingerasteten Zustand der Phasenregelschleife PLL, wenn die zwei Teiler DIV1, DIV2 für die zwei Frequenzen f1, f2 verwendet werden, wie in Fig. 1b gezeigt. Es sei darauf hingewiesen, daß sämtliche Betrachtungen und Ableitungen, die in der folgenden Beschreibung dargestellt sind, genauso zutreffen, wenn die Beziehung in Gleichung (1) als  $f2 = (q/p) \cdot f1$  definiert würde. Es sei hier angenommen, daß p und q keinen gemeinsamen Teiler aufweisen, da ansonsten offensichtlich die Phasenregelschleife nach  $p + q$  Teilungen in einen eingerasteten Zustand gehen würde. Obwohl  $p < q$  angenommen worden ist, ist eine analoge Ableitung für  $p \geq q$  erfüllt. Die Steuereinrichtung CTRL nimmt an, daß a, b, c, d, p und q natürliche Zahlen sind, wobei  $p < q$ ,  $c < a$  und  $d < b$  ist.

Unter Betrachtung des ursprünglichen eingerasteten Zustands der Gleichung (1) und der Tatsache, daß p, q keinen gemeinsamen Teiler aufweisen, realisiert die Steuereinrichtung CTRL dann, das offensichtlich für jedes vorgegebene Paar von p/q Paare mit natürlichen Zahlen a, c bzw. b, d existieren müssen, die die folgenden Gleichungen (2), (3) erfüllen:

$$c < p/q \cdot a < c+1 \quad (2)$$

$$d-1 < p/q \cdot b < d \quad (3).$$

Die Gleichungen (2) und (3) sind sehr wichtig, da diese anzeigen, daß für jedes Paar p/q (ohne gemeinsame Teiler) zwei natürliche Zahlen, c, c+1 (d-1, d) existieren müssen, zwischen denen das Verhältnis p/q multipliziert mit a (b) liegen muß. Zunächst beschreibt der Ausdruck in Gleichung (2) im wesentlichen den Bereich von Grenzen, in denen sich die Phasenabweichung noch verändern kann, wenn der erste Teiler durch a teilt. Genauso beschreibt die Gleichung (3) den eingerasteten Zustand, wenn der Teiler DIV1 durch b teilt. Dies ist eine wichtige Erkenntnis aus den Anforderungen von  $p < q$ ,  $c < a$  und  $d < b$ .

Da p/q ohne gemeinsame Teiler sind, werden auch die rationale Zahl (der Bruch)  $p/q \cdot a$  und  $p/q \cdot b$  rationale Zahlen sein und der verbleibende Phasenfehler nach der Phasenvergleichseinrichtung PFD kann unter Verwendung der Gleichungen (2), (3) wie folgt spezifiziert werden:

$$e = p/q \cdot a - c \quad (4)$$

$$g = d - p/q \cdot b \quad (5).$$

Es ist ersichtlich, daß der verbleibende Phasenfehler  $e$  bei Verwendung des Paares  $P_1 = (a, c)$  und der verbleibende Phasenfehler  $g$  bei Verwendung des Paares  $P_2 = (b, d)$  beide rationale Zahlen sind, aber beide größer als Null sind. Dies ist allgemein erfüllt.

Nachdem die Größe des verbleibenden Phasenfehlers realisiert worden ist, fragt die Steuereinrichtung CTRL nun, wie die Paare  $P_1, P_2$  verwendet werden sollen, so daß eine "insgesamte" durchschnittliche Teilung von  $p$  in dem ersten Teiler DIV1 und eine "insgesamte" Teilung von  $q$  in dem zweiten Teiler DIV2 stattfindet. Das heißt, die Steuereinrichtung CTRL untersucht, wie viele Male  $x$  das Paar  $P_1$  verwendet werden soll und wie viele Male  $y$  das zweite Paar  $P_2$  verwendet werden soll. Dies kann mit dem folgenden Satz von linearen Gleichungen ausgedrückt werden:

$$a \cdot x + b \cdot y = q \quad (6)$$

$$c \cdot x + d \cdot y = p \quad (7).$$

Die Frage ist, ob Lösungen  $x, y$  dieses Satzes von linearen Gleichungen erhalten werden können, d. h. ob  $(ad - bc) \neq 0$  in Gleichung (6), (7) erfüllt ist. Unter Verwendung der Ungleichungen (4), (5) ist klar, daß Lösungen für  $x, y$  existieren müssen, weil:

$$\left( \begin{array}{l} \frac{a}{b} = \frac{p}{q} \\ \frac{p}{q} = \frac{e+c}{d-g} > \frac{c}{d-g} > \frac{c}{d} \end{array} \right) \Rightarrow (ad - bc > 0) \quad (8)$$

Wie oben angedeutet, ist  $e, g$  immer größer als 0 und deshalb ist  $(ad - bc) > 0$ . Wenn man dies betrachtet, kann die allgemeine Lösung für die Anzahl von Teilungen  $y$  und die Anzahl von Teilungen  $x$  allgemein aus den Gleichungen (6), (7) unter Verwendung von (8), (4), (2) bestimmt werden, nämlich:

$$y = \frac{ap - cq}{ad - bc} = \frac{qe}{ad - bc} > 0 \quad (9)$$

$$x = \frac{dp - bp}{ad - bc} = \frac{qg}{ad - bc} > 0 \quad (10)$$

Die Gleichungen (9), (10) sind allgemein für alle natürlichen Zahlen  $a, b, c, d, p$  und  $q$  gültig. Jedoch kann in ihrer allgemeinen Form natürlich noch nicht erfüllt werden, daß  $y$  und  $x$  natürliche Zahlen sind, weil  $(ad - bc)$  irgendeine natürliche Zahl annehmen kann und deshalb  $x, y$  rationale Zahlen sein können. Jedoch ist es natürlich nicht möglich, eine Umschaltung von z. B.  $x = 1,35$  mal mit dem Frequenzteilungs paar  $P_1$  auszuführen.

Jedoch kann unabhängig von dem Wert  $(ad - bc)$  gezeigt werden, daß die Phasenregelschleife in einen eingerasteten Zustand geht, weil der resultierende Phasenfehler vor (!) dem Tiefpaßfilter LPF Nullstellen aufweist, was aus einer Kombination der Gleichungen (9) und (10) wie folgt gezeigt werden kann:

$$(x/y = e/g) \Leftrightarrow (xe - yg = 0) \quad (13).$$

Allgemein weisen die Nullstellen einen Abstand zueinander von

$$Z = (a - b) \cdot p + (d - c) \cdot q$$

auf, was allgemein aus den Gleichungen (4), (5), (9), (10) folgt, wobei angenommen wird, daß  $Z = x + y$ .

Aus der Gleichung (9), (10) folgt unmittelbar, daß natürliche Zahlen  $x, y$  erhalten werden können, wenn  $(ad - bc) = 1$  erfüllt ist. Dann ist der Abstand der Nullstellen:

$$Z = x + y = (a - b) \cdot p + (d - c) \cdot q$$

und die Anzahl von Teilungen  $x, y$  sind

$$x = qg = q \cdot d - p \cdot b$$

$$y = qe = p \cdot a - q \cdot c.$$

Das heißt, die Steuereinrichtung CTRL berechnet  $x, y$  und somit die Länge des Umschaltungsmusters  $Z$  aus  $a, b, d, c$  und aus  $p, q$  mit der Einschränkung  $(ad - bc) = 1$ . Es sei darauf hingewiesen, daß ein derartiges Umschaltungsmuster  $Z$  nur



bedeutet, daß gefordert wird, das Paar  $P_1 = (a, c)$  x mal zu wählen und das Paar  $P_2 = (b, d)$  y-mal zu wählen. Allgemein kann das Umschalten alternierend oder gemäß einem vorgegebenen Muster ausgeführt werden. Das heißt, im Prinzip ist es möglich, zunächst x-mal unter Verwendung von  $P_1$  zu teilen und dann y-mal durch  $P_2$  zu teilen. In diesem Fall würden die verbleibenden Fehler unter Verwendung von x, y, z. B. jeweils wie in den Gleichungen (4), (5) angedeutet sein. Wenn jedoch das Umschaltungsmuster einer Umschaltung zwischen  $P_1$  und  $P_2$  optimiert wird, schwankt der verbleibende Phasenfehler und somit die maximale Eigenphasen-Jitteramplitude vor (!) dem Tiefpaßfilter LPF in einem Intervall von

$$[-I+1] \text{ mit } I = (g + e)/2 = Z/2q.$$

Es ist wichtig zu realisieren, daß mit der Wahl von Z (bei gegebenem q) bereits vor dem Tiefpaßfilter LPF ein resultierender Phasenfehler erhalten werden kann, der in einem minimalen Ausmaß schwankt und immer noch eine Einrastung der Phasenregelschleife erlaubt. Wenn sogar vor dem Tiefpaßfilter die durchschnittliche Änderung des Phasenfehlers minimal ist, können die Anforderungen an die Grenzfrequenz des Tiefpaßfilters LPF gelockert werden.

Insbesondere können die Phasenfehleränderungen vor dem LPF so minimal sein, daß die entsprechenden Änderungen, die von dem spannungsgesteuerten Oszillator ausgeführt werden, nachdem das Phasenabweichungssignal S (z. B.) von dem LPF integriert worden sind, so klein oder sogar insignifikant werden, so daß der dadurch verursachte Phasen-Jitter extrem gering wird. Die Werte können so gewählt werden, daß tatsächliche Änderungen, die in der gesteuerten Spannung an dem Eingang des spannungsgesteuerten Oszillators auftreten, Änderungen der Ausgangsfrequenz  $f_2$  erzeugen würden, die sogar kleiner als die eigenen eigentümlichen Änderungen des VCO selbst sein würden. Beispiele dieser Tatsache werden nachstehend unter Bezugnahme auf Fig. 3 beschrieben.

Jedoch ist es nicht notwendig, die Einschränkung  $(ad-bc) = 1$  den Werten a, b, c, d aufzuerlegen, um zu erreichen, daß eine Lösung der Gleichung (6), (7) immer mit x, y in natürlichen Zahlen erhalten werden kann. Für den Fall  $(ad-bc) > 1$  kann das lineare Gleichungssystem (6), (7) umskaliert werden, um noch eine allgemeine Lösung zu erlauben, nämlich:

$$a \cdot \bar{x} + b \cdot \bar{y} \text{ mit } \bar{q} = q \cdot (ad-bc) \quad (11)$$

$$c \cdot \bar{x} + d \cdot \bar{y} \text{ mit } \bar{p} = p \cdot (ad-bc) \quad (12).$$

Nun sind wegen der Gleichung (9), (10) auch die Lösungen  $\bar{x}$  und  $\bar{y}$  des linearen Gleichungssystems (11), (12) natürliche Zahlen. Das heißt,  $\bar{x}$  und  $\bar{y}$  können nun wie folgt definiert werden:

$$\bar{x} = dq - bp > 0$$

$$\bar{y} = ap - cq > 0.$$

In diesem Fall ist natürlich die Länge des Umschaltungsmusters  $Z = \bar{x} + \bar{y}$ , z. B. die bereits voranstehend erwähnte Länge des Umschaltungsmusters Z ist allgemein

$$Z = (a-b) \cdot p + (d-c) \cdot q = \bar{x} + \bar{y}.$$

Somit ist gezeigt worden, daß für irgendeinen vorher gegebenen Wert p, q ( $p < q$ ) und für irgendwelche gewünschten Frequenzteilungsfaktoren a, b, c, d mit  $c \leq a$  und  $d \leq b$  immer die Länge Z oder die Werte x, y positive natürliche Zahlen sind, wobei der Phasenfehler vor dem Tiefpaßfilter LPF jeweils eine Nullstelle nach einer Länge Z von Umschaltungen aufweist.

#### AUSFÜHRUNGSFORM FÜR $n > 2$

Obwohl in der voranstehend angeführten Beschreibung nur der Fall von  $n = 2$  behandelt ist, um zu illustrieren, daß immer eine Länge Z bestehend aus natürlichen Zahlen zur Umschaltung zwischen zwei Paaren von Frequenzteilungsfaktoren (a, c) und (b, d) gefunden werden kann, sei darauf hingewiesen, daß dies analog auch für den allgemeinen Fall einer Verwendung von  $n > 2$  Paaren von Frequenzteilungsfaktoren zutrifft. Jeder Frequenzteilungsfaktor a, der oben betrachtet wird, kann natürlich in lineare Kombinationen von Produkten von natürlichen Zahlen zerlegt werden, beispielsweise:

$$a = i \cdot j + k \cdot l.$$

Was spezifisch oben für den Fall  $n = 2$  erläutert wurde, trifft deshalb allgemein auch für  $n > 2$  zu.

#### BESTIMMUNG DES UMSCHALTUNGSMUSTERS

Wie voranstehend erläutert ist allgemein der Zusammenhang  $xe - yg = 0$  erfüllt. Dies ist auch unabhängig von der Tatsache, wie das Umschaltungsmuster selbst gewählt wird. Selbst wenn ein Auswählen eines ungeeigneten Umschaltungsmusters (z. B. nacheinander x-mal  $P_1 = (a, c)$  und danach y-mal  $P_2 = (b, d)$ ) gewählt wird, ist der resultierende Phasenfehler in dem Ausgang des Phasendetektors PFD unter  $xe = yg$ . Das Umschaltungsmuster kann immer derart bestimmt werden, daß der resultierende Phasenfehler unter  $I = (e + g)/2$  bleibt.

Wenn  $y/x = 1$  ist (d. h. die Anzahl von Teilungen unter Verwendung von  $P_1$  gleich der Anzahl von Teilungen unter Verwendung von  $P_2$ ), dann wird offensichtlich der durchschnittliche Phasenfehler über der Länge Z von Umschaltungen minimiert, wenn alternierend  $P_1, P_2$  verwendet wird, d. h. wenn ein Grundmuster  $F_1 = HL$  nacheinander verwendet wird. Dies kann auf einen allgemeinen Fall ausgeweitet werden, um das allgemeine Umschaltungsmuster für Werte  $y/x \neq 1$

wie folgt zu bestimmen:

Fall 1:  $1 = y/x$  ergibt Muster  $\{F_1\}$  mit  $F_1 = HL$

Fall 2:  $2 = y/x$  ergibt Muster  $\{F_2\}$  mit  $F_2 = HLH$

5 Fall 2N:  $2N = y/x$  ergibt Muster  $\{F_{2N}\}$  mit  $F_{2N} = H(N)LH(N)$

Fall 2N+1:  $2N+1 = y/x$  ergibt Muster  $\{F_{2N+1}\}$  mit  $F_{2N+1} = H(N)LH(N+1)$  (14).

$H(N)$  bezeichnet N-Wiederholungen von H, d. h.  $H(2) = HH$ . Es sei darauf hingewiesen, daß der resultierende Phasenfehler für jedes der voranstehend erwähnten Muster  $\{F_c\}$  unter  $(e + g)/2$  bleibt.

10 In dem allgemeinen Fall  $n = y/x < m$  mit  $m = n + 1$ , besteht das allgemeine Muster  $\{F_{n,m,x,y}\}$  aus  $(mx-y)$ -mal  $F_n$  und  $(y-nx)$ -mal  $F_m$ . Für ein Verschachteln von  $F_i$  und  $F_{i+1}$  wird die allgemeine Regel wie folgt angegeben:

Nach  $[(mx-y)/(y-nx)]$ -mal  $F_i$  wird das Muster  $F_{i+1}$  einmal verwendet. Deshalb kann ein optimiertes Umschaltungsmuster immer gefunden werden, um den Phasenfehler unter  $(e + g)/2$  zu halten.

15

## ENTWURF DER PHASENREGELSCHLEIFE

Fig. 2-4 zeigt einen Algorithmus, wie die Phasenregelschleife bezüglich des Umschaltungsmusters entworfen wird. Zunächst werden im Schritt S2 die Faktoren p, q für die vorgewählten Frequenzen f1, f2 bestimmt. Im Schritt S3 werden die Teilungsfaktoren a, b, c, d gemäß der Gleichungen (2), (3) gewählt. Im Schritt S4 wird der Phasenfehler e, g gemäß der Gleichungen (4), (5) berechnet. Im Schritt S5 werden die berechneten Phasenfehler (e, g) gegenüber den gewünschten Werten überprüft, um zu bestimmen, ob e, g akzeptabel ist. Wenn im Schritt S5 der resultierende Phasenfehler e, g nicht akzeptabel ist, werden neue Faktoren a, b, c, d im Schritt S3 gewählt. Wenn der Phasenfehler e, g im Schritt S5 akzeptabel ist, dann werden im Schritt S6 die Zahlen x, y aus den Gleichungen (9), (10) berechnet. Im Schritt S7 wird das Umschaltungsmuster  $\{F_{n,m,x,y}\}$  bestimmt und im Schritt S8 werden die Werte der gewählten Teilungsfaktoren a, b, c, d und das Umschaltungsmuster F an die Wähler SEL1, SEL2 ausgegeben, wie in Fig. 2-1 angedeutet.

Nachstehend werden spezifische Beispiele unter Verwendung von  $n = 2$  unter Bezugnahme auf Fig. 3 illustriert. Unter Bezugnahme auf Fig. 3 wird ferner ein optimales Umschaltungsmuster diskutiert.

## BEISPIELE FÜR $n = 2$

30

Die Beispiele EX1, EX2, EX3, EX4 in Fig. 3 betreffen eine Wahl der vorgegebenen Frequenz f2 und der Referenzfrequenz f1, wie  $f1/f2 = q/p = 6783/2990$  gemäß der voranstehend erwähnten Gleichung (1).

In Beispiel EX1: Schnelles Folgen I (nur für Illustrationszwecke und kein Entwurfsvorschlag) ist die Vergleichsfrequenz an der Phasendetektionseinrichtung PFD maximal und gleich zu f1, da  $c = d = 1$  ist. Zunächst wird das schnellste mögliche Folgen in Beispiel EX1 erzielt. Jedoch existieren relativ große Phasenfehler e, g vor dem Tiefpaßfilter LPF. In diesem Fall wird die Grenzfrequenz des Tiefpaßfilters LPF die Phasen-Jitter-Unterdrückung und deshalb den Eigen-Phasen-Jitter, der von dem spannungsgesteuerten Oszillator selbst erzeugt wird, bestimmen. Das heißt, in diesem Fall muß die Grenzfrequenz des Tiefpaßfilters LPF klein genug sein und für eine feste Grenzfrequenz kann noch ein großer Jitter in der Ausgangsfrequenz f2 vorhanden sein.

40 Kleinere Phasenfehler e, g können in dem Beispiel EX2: schnelles Folgen II und dem Beispiel EX3: Jitter reduziert I erzielt werden. In dem Beispiel EX2 kann eine vergleichsweise schnelle Folgegeschwindigkeit noch erhalten werden, indem die Werte von  $c = 3$  und  $d = 4$  gewählt werden. In dem Beispiel EX2 sind die Jitter-Amplituden nach der Phasendetektionseinrichtung PFD, d. h. vor dem Tiefpaßfilter LPF 117 mUi bzw. 20 mUi für EX2, EX3 (mUi = milli-Einheitsintervall oder milli Unit interval, was dimensionslos und das Maß für den Jitter ist, definiert als: durchschnittliche Phasenabweichung/Periode des Signals).

45 In dem Beispiel EX4: Jitter reduziert II sind die Phasenfehler e, g sehr klein, d. h. die Jitter-Amplituden nach dem Phasendetektor PFD und vor dem Tiefpaßfilter LPF sind bereits so klein wie 4 mUi. Selbst ohne eine Integration von derartigen kleinen Jitter-Amplituden durch das Tiefpaßfilter LPF ist die dadurch verursachte Veränderung der Ausgangsfrequenz f2 kleiner als der Eigenjitter von den meisten Oszillatoren. Wie sich dem Beispiel EX4 entnehmen läßt, kann dies bereits mit Frequenzteilungsfaktoren von nur 2 bis 3 Stellen erreicht werden. Unter Verwendung des herkömmlichen Beispiels in Fig. 1b, ist  $p = 2990 \cdot 10^6$ , d. h., man müßte einen Frequenzteilungsfaktor p verwenden, der 9 bis 10 Stellen umfaßt.

50 In dem Beispiel EX4 ist der Referenzfrequenz Ausgang von dem ersten Teiler DIV1 an dem Phasendetektor PFD wenigstens ein viertel oder  $1/26$  von f1. Dies ist jeweils ein Faktor von 750 oder 115 höher als eine Verwendung von  $p = 2990$  in dem herkömmlichen Fall. Somit ist die Phasenauflösung – unabhängig von der Grenzfrequenz und der Verstärkung der Tiefpaßfilter (des Tiefpaßfilters innerhalb des Phasendetektors PFD und des eigentlichen Tiefpaßfilters LPF) – auch größer um diesen Faktor. Zusätzlich kann die Grenzfrequenz der Tiefpaßfilter deshalb auch um diesen Faktor erhöht werden, was zu einem vereinfachten Filterentwurf führt.

## UMSCHALTUNGSMUSTER FÜR DAS BEISPIEL EX4

60

Fig. 3-2 zeigt ein Umschaltmuster Z zum Wählen der Frequenzteilungspaare  $P_1, P_2$  für das Beispiel EX4 in Fig. 3-1. Wenn in Fig. 3-2 die Steuereinrichtung ein H an die Wähler SEL1, SEL2 in Fig. 2 ausgibt, dann teilt der Teiler DIV1 durch b (in dem Beispiel EX4 durch 245) und der Teiler DIV2 teilt durch d (in dem Beispiel EX4 durch 108). Wenn die Wähler SEL1, SEL2 ein "L" an die Teiler DIV1, DIV2 ausgeben, wird das Frequenzteilungsfaktorpaar  $P_1$  gewählt, nämlich  $a = 152$  und  $c = 67$ . Wenn "H" ausgegeben wird, dann wird  $P_2 = (b, c)$  gewählt. Wie in Fig. 3-2 angedeutet, weist der resultierende Phasenfehler vor (!) dem Tiefpaßfilter nach  $Z = x + y = 33$  Teilungen eine Nullstelle auf, wie voranstehend diskutiert wurde.

Wie sich der Fig. 3-2 entnehmen läßt, verwendet das in dem Beispiel verwendete Umschaltungsmuster Z H und L an-

ternierend, wobei ein Grundmuster  $F_1F_2$  ("HLHLH") viermal verwendet wird und ein anderes Grundmuster  $F_1F_2$  ("HLHLH") nur einmal verwendet wird. Wie in Fig. 3-2 angedeutet, entspricht das Umschaltungsmuster Z dem optimierten Umschaltungsmuster Z, bei dem der resultierende Phasenfehler und somit die maximale Eigen-Jitteramplitude vor dem Tiefpaßfilter LPF nur in einem Intervall von  $[+1, -1]$  schwankt. Ein nicht-optimiertes Umschaltungsmuster Z würde beispielsweise x-mal ein "H" und y-mal ein "L" und dann wiederum x-mal ein "H" etc. sein. Jedoch sollte bemerkt werden, daß es immer möglich ist, ein Umschaltungsmuster Z zu finden, welches aus Grundumschaltungsmustern  $F_1$  besteht, wie voranstehend erläutert, um den Phasenfehler an dem Ausgang des Phasendetektors in der am besten möglichen Weise zu minimieren. Wenn das Umschaltungsmuster Z in dieser Weise optimiert worden ist, kann das Umschaltungsmuster Z leicht durch Auslesen von  $F_1$ -Muster aus einem Speicher realisiert werden oder es kann durch Zustandsmaschinen (state machines) unter Verwendung von kaskadierten Zuständen in einer intelligenteren Lösung realisiert werden (FPGA-Design).

In dem Beispiel EX4 ( $x = 14$  und  $y = 19$ ) besteht das Umschaltungsmuster  $\{F_1, 2; 14, 19\}$  somit aus  $F_1, 2; 14, 19$  mit 9-mal  $F_1$  und 5-mal  $F_2$ , wie voranstehend für den allgemeinen Fall erläutert wurde. Dies führt zu dem Umschaltungsmuster, so wie es in Fig. 3-2 gezeigt ist.

Das Verschachtelungsmuster  $[(mx-y)/(y-nx)]$  in dem Beispiel EX4 ist  $9/5 = 1,8$ . In Fig. 3-2 ist die (symmetrische) Folge 22122 für die fünf Abstände gewählt worden. Der resultierende Phasenfehler für das optimierte Umschaltungsmuster in Fig. 3-2 ist immer unter  $(e + g)/2$ .

Es sei darauf hingewiesen, daß selbst für den allgemeinen Fall die Folge von Abständen derart gewählt werden kann, daß der resultierende Phasenfehler minimal (kleiner als  $(e + g)/2$ ) ist. Wie in der allgemeinen Ableitung voranstehend gezeigt, besteht jedes Umschaltungsmuster, sogar ein sehr langes Umschaltungsmuster, nur aus zwei unterschiedlichen Teilmustern. Es kann abgeschätzt werden, daß jedes Teilmuster gewöhnlicherweise kürzer als 10 Umschaltungen ist und in dem Beispiel EX4 gibt es nur zwei bzw. drei Schritte. Ferner ist auf Grundlage der obigen Erläuterungen die Erzeugung eines Umschaltungsmusters mit einem niedrigen resultierenden Phasenfehler bereits ausreichend durch x, y bestimmt.

Beispiele EX5, EX6 zeigen jeweils Situationen, bei denen nicht die schnelle Folgegeschwindigkeit das Hauptaugenmerk ist, sondern die Phasen- oder Frequenzauflösung in Schritten von ppm (Teile pro Million oder parts per million). Wie sich den Beispielen EX5, EX6 entnehmen läßt, ist die Länge des Umschaltungsmusters Z extrem lang, jedoch sind die resultierenden Phasenfehler e, g vergleichsweise niedrig. Nur Teilungsfaktoren a, b, c, d mit zwei Stellen müssen verwendet werden. Deshalb beziehen sich die Beispiele EX5, EX6 tatsächlich auf die Anforderung, einen Oszillator mit einer hohen Stabilität bereitzustellen, der trotzdem sehr fein abstimmbar ist (d. h. im Bereich von Hz bis milli Hz). Eine niedrige Grenzfrequenz des LPFs kann gewählt werden.

Die Beispiele EX5, EX6 zeigen einen Fall, bei dem eine extrem feine Auflösung der Phase, d. h. eine sehr hohe Anzahl von Phasenvergleichen, ausgeführt werden sollte. Deshalb sind in den Beispielen EX5, EX6 die Werte für p, q in den Beispielen EX1-EX4 jeweils mit 1000 bzw. 1 000 000 multipliziert worden. Natürlich ist die Folgegeschwindigkeit und die Frequenzabstimmung in Schritten von ppm (parts per million) auf Grund des gewählten insgesamt Referenzteilungsfaktors p und des Referenzteilungsfaktors q erreicht werden. Jedoch ist noch ersichtlich, daß nur Frequenzteilungsfaktoren a, b, c, d mit zwei Stellen verwendet werden müssen, nämlich die gleichen wie diejenigen, die in dem Beispiel EX3 verwendet werden. Dies führt zu nahezu den gleichen Phasenfehlern e, g, jedoch mit der Möglichkeit einer Abstimmung der Ausgangsfrequenz  $f_2$  in Schritten von ppm. Gemäß der Jitter-Anforderungen muß die Grenzfrequenz des Tiefpaßfilters LPF auf die (beträchtliche) Länge des Umschaltungsmusters Z angepaßt werden, d. h. daß über eine lange Zeitperiode eine Integration durchgeführt werden muß, jedoch wird angenommen, daß selbst wenn die Grenzfrequenz des Tiefpaßfilters LPF wie in dem Beispiel EX3 gehalten wird, ein von dem Umschaltungsmuster Z verursachter Phasen-Jitter in der Ausgangsfrequenz  $f_2$  auftreten wird, der jedoch unterhalb (d. h. milli Hz bis Hz) des Eigenjitters des spannungsgesteuerten Oszillators VCO liegt, so daß keine Probleme verursacht werden.

Der MTIE und der Jitter sollten in der Größenordnung von mUI bleiben. Zugegebenermaßen wird die benötigte niedrige Grenzfrequenz hier in ein extrem langes Umschaltungsmuster Z umgesetzt. Selbst wenn jedoch Frequenzteilungsfaktoren a, b, c, d mit nur zwei Stellen gewählt werden, stellt dieses lange resultierende Umschaltungsmuster Z sicher, daß ein Phasenvergleich in Schritten von ppm bei derartig hohen Frequenzen von  $f_1/f_2$  ( $p/q$ ) ausgeführt werden kann. Die Steuereinrichtung wird nur benötigt, um eine lange (LH) Folge ( $Z \approx 10^8$  Umschaltungen) zu erzeugen, bis der Phasenfehler eine Nullstelle nach dem Phasendetektor PFD und vor (!) dem Tiefpaßfilter annimmt. Deshalb kann eine Feinabstimmung der Phase oder der Frequenz in Schritten von ppm erreicht werden und die Phasenregelschleife geht noch in einem eingerasteten Zustand über, selbst wenn sie dies nur nach einer beträchtlich langen Folgegeschwindigkeit (langes Umschaltungsmuster Z) tut.

#### GEWERBLICHE ANWENDBARKEIT

Wie voranstehend erläutert, erlaubt die Phasenregelschleife der Erfindung eine wesentlich höhere Vergleichsfrequenz an dem Phasendetektor PFD und erzielt somit eine wesentlich verbesserte Phasenauflösung, was bei einem beliebigen Frequenzverhältnis ( $p/q = f_2/f_1$ ) erreicht werden kann. Somit kann die erfindungsgemäße Phasenregelschleife PLL in irgendwelchen Anwendungen verwendet werden, bei denen eine gewünschte Ausgangsfrequenz  $f_2$  auf eine Referenzfrequenz  $f_1$  entweder bei einer hohen Folgegeschwindigkeit oder mit einer extrem hohen Phasenauflösung und einem geringen Phasen-Jitter eingerastet werden muß.

Es ist ersichtlich, daß auf Grundlage der hier offenbarten Lehren verschiedene Modifikationen und Variationen von einem Durchschnittsfachmann ausgeführt werden können und, daß die Erfindung nicht auf irgendeine bestimmte Ausführungsform oder ein bestimmtes hier beschriebenes Beispiel beschränkt ist. Deshalb ist beabsichtigt, daß alle derartigen Veränderungen und Modifikationen in den Schutzzumfang fallen, so wie er in den Ansprüchen definiert ist.

Bezugszeichen in den Ansprüchen dienen dem besseren Verständnis und engen den Schutzzumfang dieser Ansprüche nicht ein.

1. Phasenregelschleife (PLL) zum Erzeugen eines Ausgangssignals ( $f_2$ ) einer vorgegebenen Frequenz ( $f_2$ ) und einer eingerasteten Phase relativ zu einem Referenzsignal ( $f_1$ ) einer vorgegebenen Referenzfrequenz ( $f_1$ ), umfassend:
- a) einen ersten Teiler (DIV1) zur Frequenzteilung des Referenzsignals ( $f_1$ );
  - b) einen zweiten Teiler (DIV2) zur Frequenzteilung des Ausgangssignals ( $f_2$ );
  - c) eine Phasendetektionseinrichtung (PFD) zum Erfassen einer Phasenabweichung zwischen dem geteilten Referenzsignal ( $f_1/p$ ) und dem geteilten Ausgangssignal ( $f_2/q$ ) und zum Ausgeben eines entsprechenden Phasenabweichungssignals (S); und
  - d) eine Oszillatoreinrichtung (LPM; VCO) zum Ausgeben des Ausgangssignals ( $f_2$ ) mit einer Frequenz ( $f_2$ ) entsprechend der Phasenabweichung, die von dem Phasenabweichungssignal (S) angezeigt wird;
- dadurch gekennzeichnet, daß**
- e) der erste Teiler (DIV1) wenigstens zwei verschiedene wählbare Frequenzteilungsfaktoren (a; b) aufweist;
  - f) der zweite Teiler (DIV2) wenigstens zwei verschiedene wählbare Frequenzteilungsfaktoren (c; d) aufweist; und
  - g) eine Steuereinrichtung (CTRL, SEL1, SEL2) vorgesehen ist,
    - zum jeweiligen Wählen eines Frequenzteilungsfaktor-Paars bestehend aus einem Frequenzteilungsfaktor (a oder b) des ersten Teilers und einem Frequenzteilungsfaktor (c oder d) des zweiten Teilers; und
    - zum Umschalten zwischen wenigstens zwei verschiedenen Frequenzteilungsfaktor-Paaren (a, c; b, d) entsprechend einem vorgegebenen Umschaltungsmuster einer vorgegebenen Länge (Z).
2. Phasenregelschalter (PLL) nach Anspruch 1, dadurch gekennzeichnet, daß der erste Teiler zwei Frequenzteilungsfaktoren a und b aufweist, der zweite Teiler zwei Frequenzteilungsfaktoren c und d aufweist und die Steuereinrichtung zwischen einem ersten Paar bestehend aus Frequenzteilungsfaktoren a und c und einem zweiten Paar bestehend aus Frequenzteilungsfaktoren b und d umschaltet.
3. Phasenregelschleife (PLL) nach Anspruch 2, dadurch gekennzeichnet, daß ein Referenzteilungsfaktor p für den ersten Teiler definiert ist und ein Frequenzteilungsfaktor q für den zweiten Teiler definiert ist, wobei die folgende Gleichung (1) erfüllt ist
- $$f_2 = p/q \cdot f_1 \quad (1)$$
- wobei  $f_2$  die Ausgangsfrequenz ist und  $f_1$  die Referenzfrequenz ist, p, q, a, b, c, d natürliche Zahlen sind, p und q ohne gemeinsame Teiler sind und p, q, a, b, c, d so gewählt sind, daß die folgenden Beziehungen erfüllt sind:  $p < q$ ,  $c < a$ ,  $d < b$  und a, b, c, d  $< p$ ; q.
4. Phasenregelschleife nach Anspruch 2 und 3, dadurch gekennzeichnet, daß a, b, c, d derart gewählt sind, daß die folgenden Beziehungen (2) und (3) erfüllt sind:
- $$c < p/q \cdot a < c+1 \quad (2)$$
- $$d-1 < p/q \cdot b < d \quad (3).$$
5. Phasenregelschleife (PLL) nach Anspruch 4, dadurch gekennzeichnet, daß eine Phasenabweichung e des Phasenabweichungssignals (S)
- $$e = p/q \cdot a - c \quad (4)$$
- ist, wenn das erste Paar a, c gewählt wird, und eine Phasenabweichung des Phasenabweichungssignals (S)
- $$g = d - p/q \cdot b \quad (5)$$
- ist, wenn das zweite Paar p, d gewählt wird, wobei e und g entweder beide positiv oder beide negativ sind, wobei die Gleichungen (4), (5) implizieren, daß  $(ad - cb)$  ungleich Null ist.
6. Phasenregelschleife (PLL) nach Anspruch 5, dadurch gekennzeichnet, daß in dem Umschaltungsmuster (Z) eine Anzahl x von Teilungen unter Verwendung einer Wahl des ersten Paares
- $$x = (ap - cq)/(ad - bc) \quad (10)$$
- gleich und eine Anzahl y von Teilungen unter Verwendung einer Wahl des zweiten Paares
- $$y = (dq - bp)/(ad - bc) \quad (11)$$
- gleich, wobei x, y beide größer 0 sind.
7. Phasenregelschleife (PLL) nach Anspruch 6, dadurch gekennzeichnet, daß a, b, c, d so gewählt sind, daß
- $$ab - cd = 1$$
- erfüllt ist, wobei x, y natürliche Zahlen sind.
8. Phasenregelschleife (PLL) nach Anspruch 7, dadurch gekennzeichnet, daß die Phasenabweichung e, g nach einer Länge Z des Umschaltungsmusters mit  $Z = x+y = (a-b) \cdot p + (d-c) \cdot q$  gleich Null ist, wobei die folgende Bezie-

hung (13) erfüllt ist:

$$x \cdot e - y \cdot g = 0 \quad (13)$$

wobei die Phasenregelschleife eingerastet ist.

9. Phasenregelschleife (PLL) nach Anspruch 8, dadurch gekennzeichnet, daß für ein optimiertes Umschaltungsmuster (Z) die Phasenabweichung in einem Intervall  $[-I, +I]$  mit  $I = (g+e)/2 = Z/2q$  schwankt.

10. Phasenregelschleife (PLL) nach Anspruch 6, dadurch gekennzeichnet, daß wenn a, b, c, d derart gewählt sind, daß  $ad-bc > 1$  ist, eine Länge Z des Umschaltungsmusters  $Z=(x'+y')$  ist, wobei  $x' = d \cdot q - b \cdot p > 0$  und  $y' = a \cdot p - c \cdot q > 0$  ist und  $x'$  und  $y'$  natürliche Zahlen sind.

11. Phasenregelschleife (PLL) nach Anspruch 1, dadurch gekennzeichnet, daß die Oszillator-Einrichtung (LPFM, VCO) ein Tiefpaßfilter (LPFM) mit einer vorgegebenen Grenzfrequenz und einen spannungsgesteuerten Oszillator (VCO) umfaßt.

12. Phasenregelschleife (PLL) nach Anspruch 1, dadurch gekennzeichnet, daß die Wähler (SEL1, SEL2) jeweils durch einen Ausgangsimpuls von dem jeweiligen Teiler (DIV1, DIV2) getriggert werden, um einen nächsten Frequenzteilungsfaktor (a oder b; c oder d) gemäß einem nächsten Eintrag in dem Umschaltungsmuster zu wählen und nachdem der erste Wähler (SEL1) eine Umschaltung zwischen Frequenzteilungsfaktoren (a und b) über der vorgegebenen Länge (Z) der Umschaltungen gemäß dem vorgegebenen Umschaltungsmuster beendet hat, beide Wähler synchron eine Umschaltung beginnend mit dem ersten Eintrag in dem Umschaltungsmuster erneut beginnen.

13. Phasenregelschleife (PLL, Fig. 2-2) gemäß Anspruch 1, dadurch gekennzeichnet, daß die Wähler (SEL1, SEL2) jeweils ein Schieberegister (SHR1, SHR2) mit dem vorgegebenen Umschaltungsmuster (Z) umfassen, wobei die Schieberegister jeweils durch einen Impulsausgang von dem jeweiligen Teiler (DIV1 oder DIV2) getriggert werden.

14. Phasenregelschleife (PLL, Fig. 2-3) gemäß Anspruch 1, dadurch gekennzeichnet, daß die Wähler (SEL1, SEL2) jeweils ein Schieberegister und einen Umschaltungsmuster-Speicher umfassen und ein Zähler (CN) zum Zählen der Anzahl von Impulsen des Teilers (SEL1) vorgesehen ist, wobei der Zähler (CN) ein in dem Umschaltungsmuster-Speicher (SPM) gespeichertes Umschaltungsmuster (Z) erneut lädt, wenn der Zählwert die Anzahl von Umschaltungen (Z) in der Länge (Z) des Umschaltungsmusters überschreitet.

15. Phasenregelschleife (PLL) nach Anspruch 1, dadurch gekennzeichnet, daß die Teiler (DIV1, DIV2) setzbare Zähler umfassen.

16. Phasenregelschleife (PLL) nach Anspruch 6 oder 10, dadurch gekennzeichnet, daß das Umschaltungsmuster als  $F_{n,m,x,y}$  definiert ist und  $(mx-y)$ -mal eine Umschaltungsfolge  $F_n$  und  $(y-nx)$ -mal ein Umschaltungsmuster  $F_m$  für  $n < y/x < m$  mit  $m=n+1$  enthält, wobei  $F_{n,m}$  allgemein aus  $F_1 = HL$ ,  $F_2 = HLH$ ,  $F_{2N} = H(N)LH(N)$  und  $F_{2N+1} = H(N)LH(N+1)$  gegeben sind, wobei H eine Wahl der Teilungsfaktoren b;d anzeigt und L eine Wahl von Teilungsfaktoren a, c anzeigt und  $H(N)$  N-Wiederholungen von H andeutet; und eine Verschachtelungsfolge von Folgen  $F_n$  und  $F_m$  so gewählt ist, daß nach  $(mx-y)/(y-nx)$ -mal  $F_n$  einmal  $F_m$  verwendet wird.

17. Phasenregelschleife (PLL) nach einem oder mehreren der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß stromabwärts von der Oszillatoreinrichtung (LPFM, VCO) eine andere Phasenregelschleife (PLL) mit den Merkmalen a)-g) vorgesehen ist, die als Eingang das Ausgangssignal (f2) der Oszillatoreinrichtung (LPFM, VCO) und als Ausgang das Ausgangssignal aufweist.

18. Phasenregelschleife (PLL) nach den Ansprüchen 10 oder 8, dadurch gekennzeichnet, daß die Steuereinrichtung eine Wählereinrichtung (SEL1, SEL2) umfaßt zum Wählen des ersten Paares zur Frequenzteilung in den ersten und zweiten Teilern, wenn das Umschaltungsmuster (Z) ein L andeutet, und zum Wählen des zweiten Paares zur Frequenzteilung in den ersten und zweiten Teilern, wenn das Umschaltungsmuster (Z) ein H andeutet.

19. Phasenregelschleife (PLL) nach Anspruch 15 oder einem der Ansprüche 1-14, dadurch gekennzeichnet, daß  $p=2990$ ,  $q=6783$ ,  $a=152$ ,  $b=245$ ,  $c=67$ ,  $d=108$ ,  $x=14$ ,  $y=19$  ist und eine Länge Z des Umschaltungsmusters 33 ist.

20. Phasenregelschleife (PLL) nach den Ansprüchen 19, 18 und 16, dadurch gekennzeichnet, daß das optimierte Umschaltungsmuster (Z), das in einem Umschaltungsmuster-Speicher der Steuereinrichtung gespeichert ist, für die im Anspruch 19 angegebenen Werte folgendermaßen definiert ist:

$F_1F_1F_2 \quad F_1F_1F_2 \quad F_1F_2 \quad F_1F_1F_2 \quad F_1F_1F_2$

Hierzu 7 Seite(n) Zeichnungen

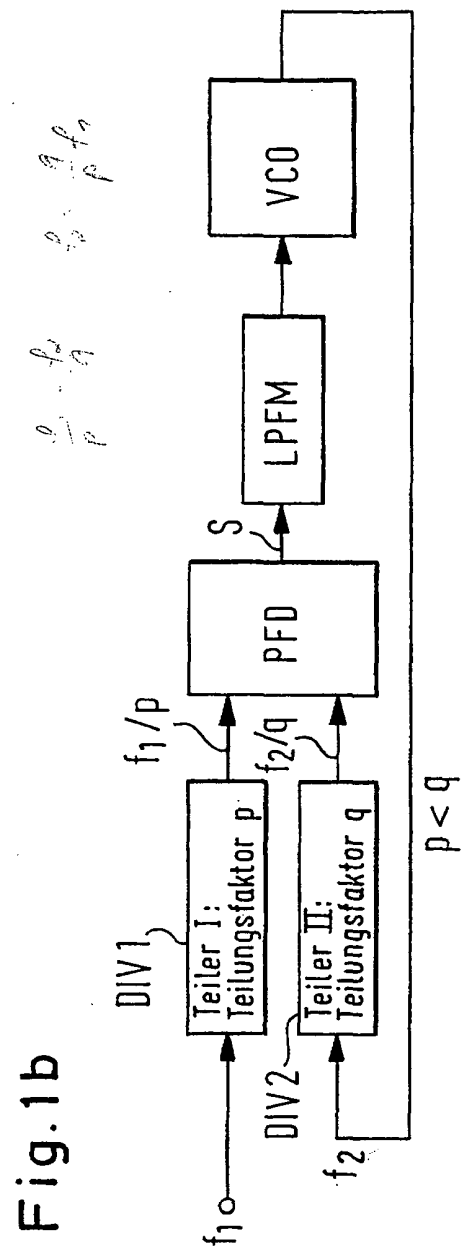
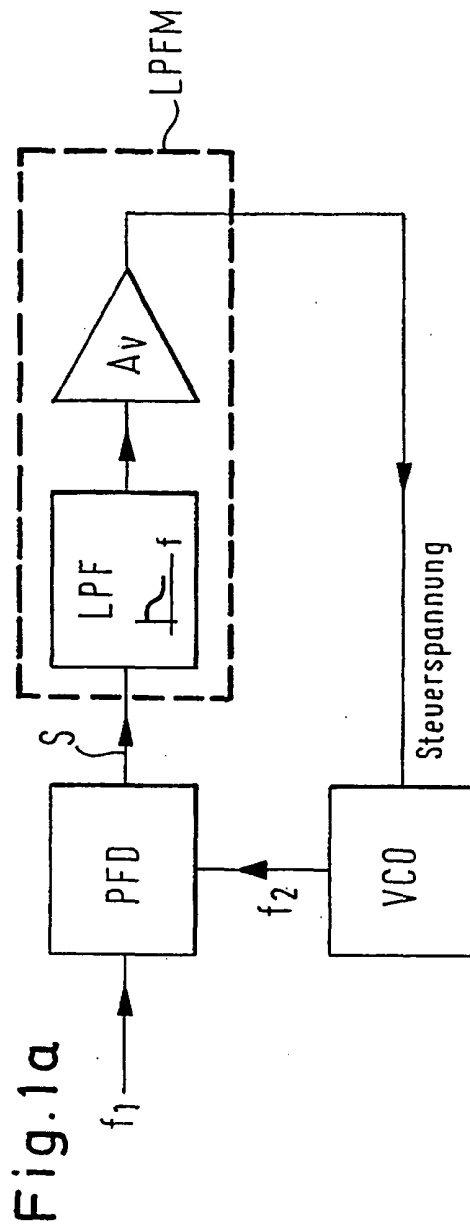


Fig. 2-1

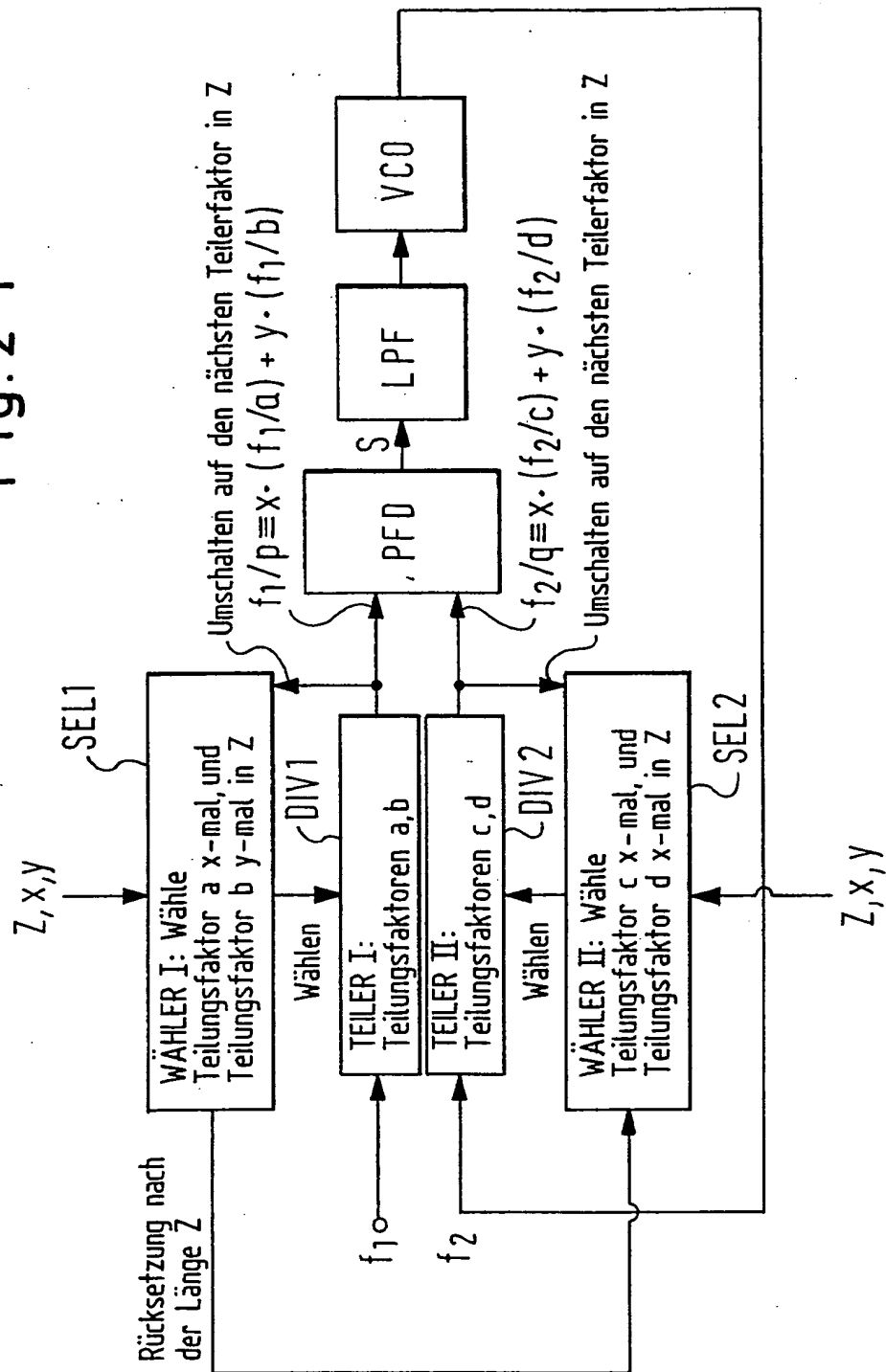
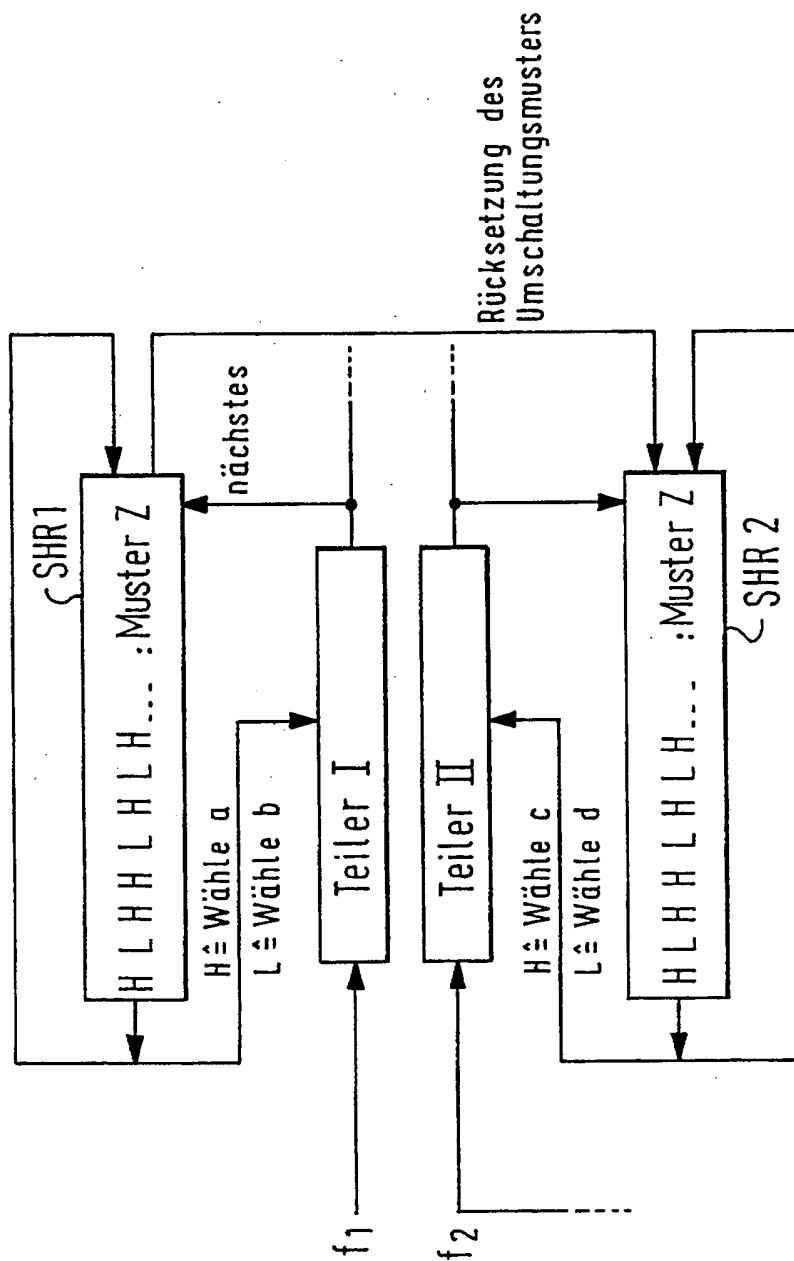


Fig. 2-2





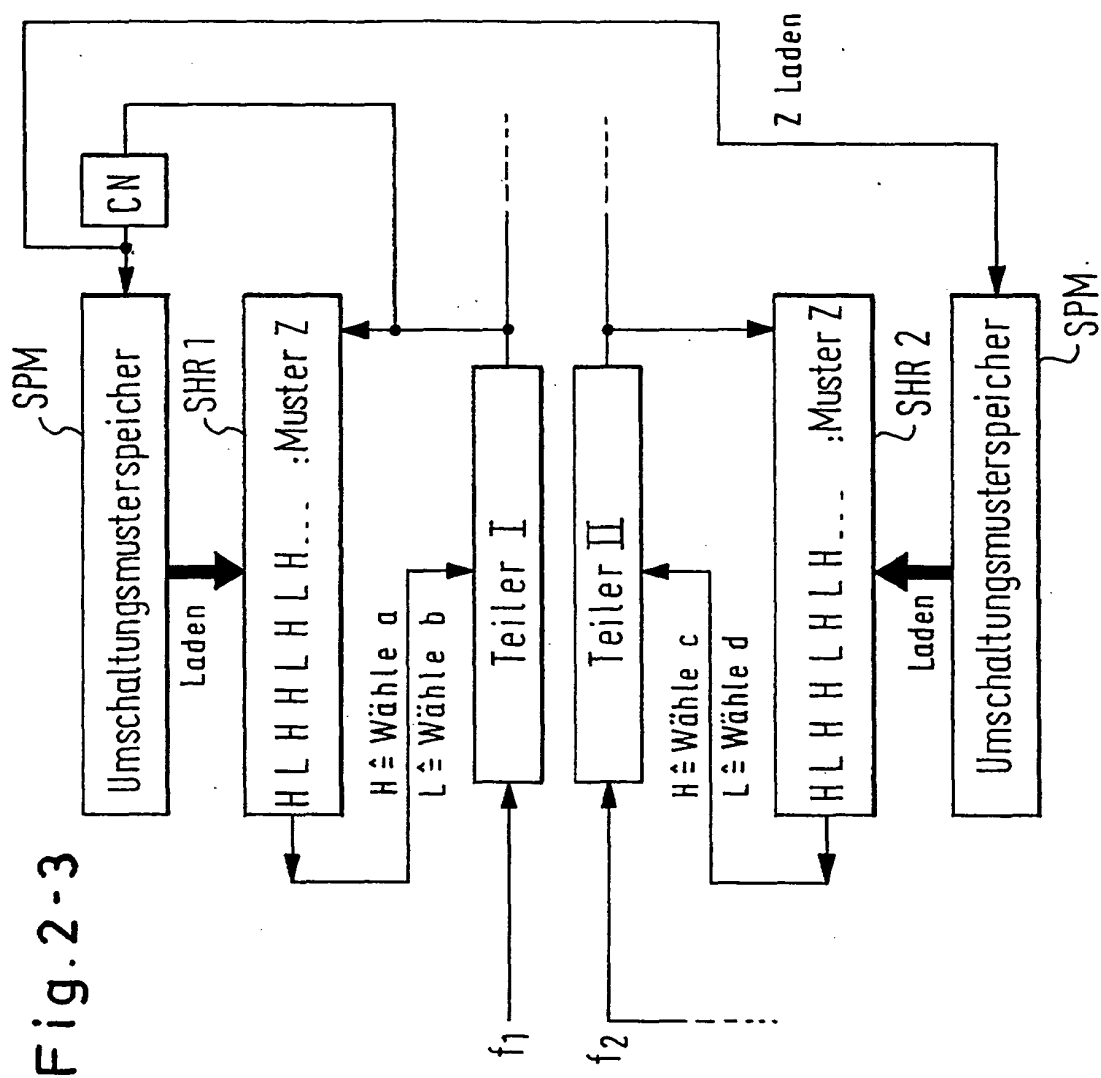
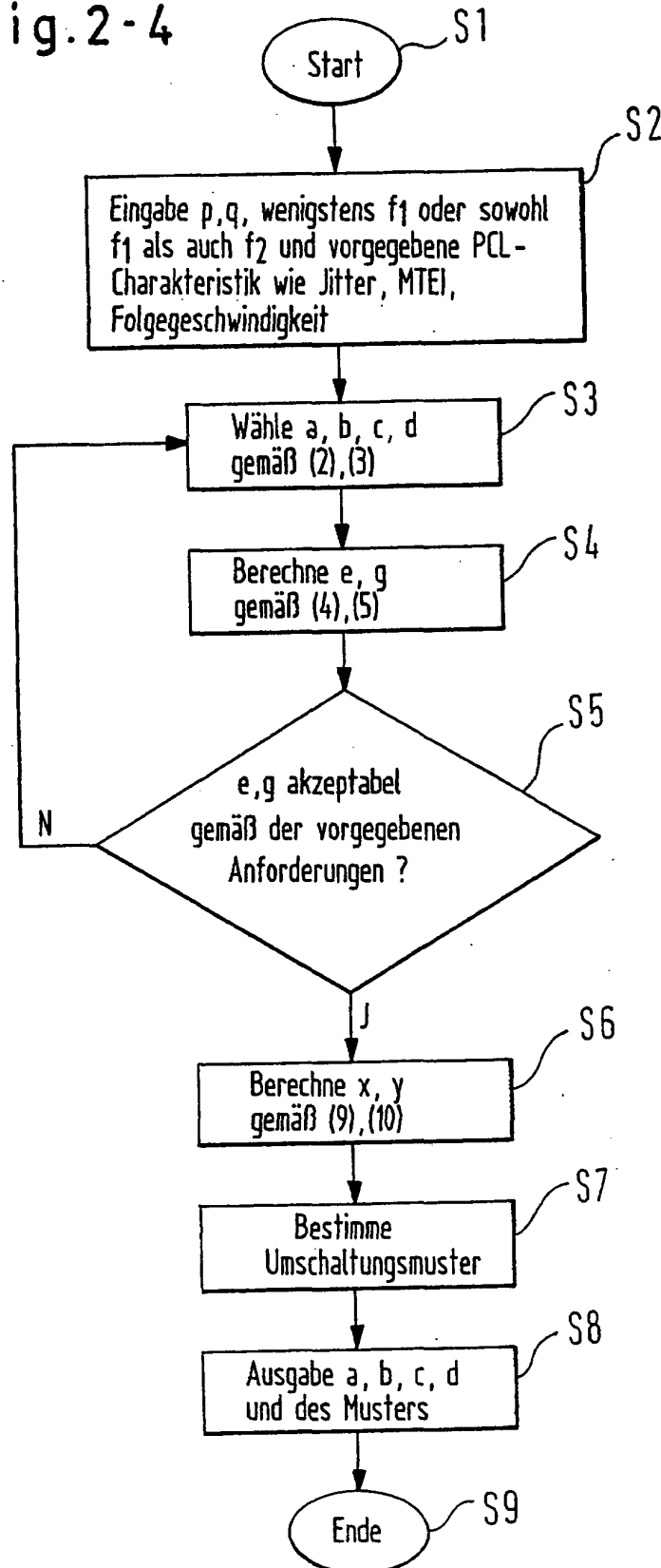


Fig. 2-4

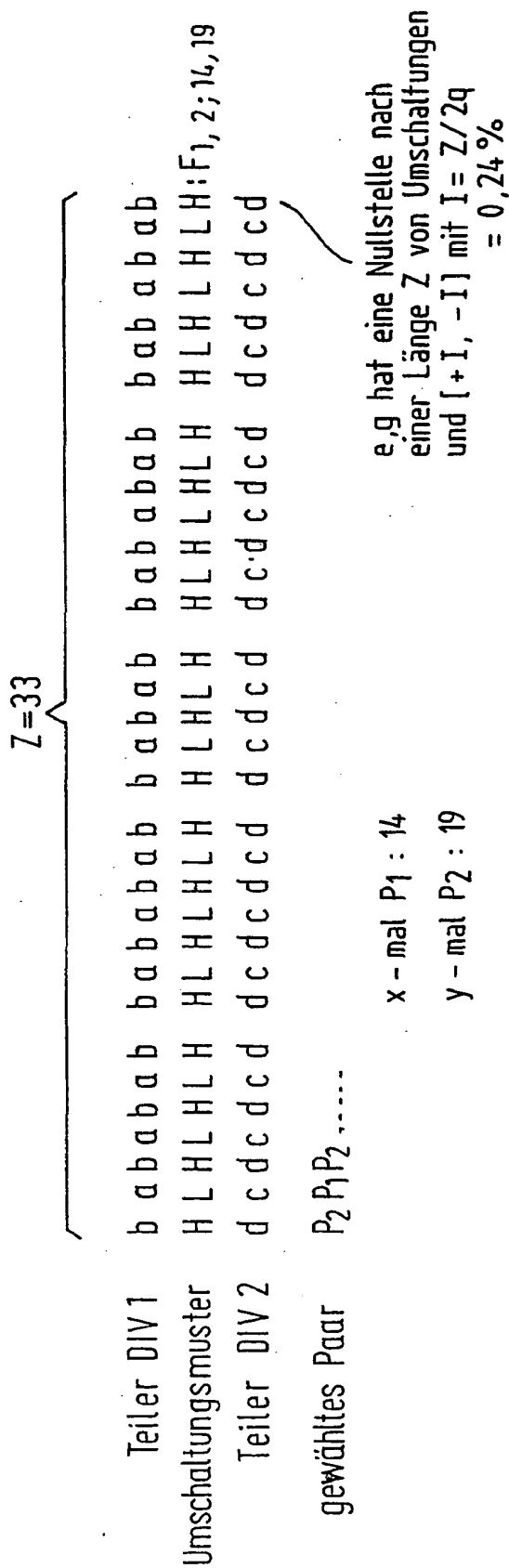


optimiertes Muster  
 wie in Fig.3-2

Fig. 3-1

Variable	verschiedene Verwendungen, Variablen nach Fig. 2					
	EX1: Schnelles Folgen I	EX2: Schnelles Folgen II	EX3: Jitter reduziert I	EX4: Jitter reduziert II	EX5: Abstimmung in ppm I	EX6: Abstimmung in ppm II
p		$2 * 5 * 13 * 23 = 2990$			$2990 * 10^3$	$2990 * 10^6$
q		$3 * 7 * 17 * 19 = 6783$			$6783 * 10^3 + 1$	$6783 * 10^6 + 1$
a	3	7	59	152		59
b	2	9	34	245		34
c	1	3	26	67		26
d	1	4	15	108		15
ad-bc	$3 * 1 - 2 * 1$ $= 1$	$7 * 4 - 9 * 3$ $= 1$	$59 * 15 - 34 * 26$ $= 885 - 884$ $= 1$	$152 * 67 - 245 * 108$ $= 16416 - 16415$ $= 1$	$59 * 15 - 34 * 26$ $= 885 - 884$ $= 1$	
e	0,322.424	0,085.655	0,007.666	0,002.80		0,007.666
-g	-0,118.384	-0,032.729	-0,012.531	-0,002.064		-0,012.531
x	803	581	52	14	$52 * 10^3 - 26$ $= 51974$	$52 * 10^6 - 26$ $= 51.999.974$
y	2187	222	85	19	$85 * 10^3 + 15$ $= 85.015$	$85 * 10^6 + 15$ $= 85.000.015$
x+y	2990	803	137	33	136.989	136.999.989

Fig. 3-2



x - mal P<sub>1</sub> : 14  
y - mal P<sub>2</sub> : 19

**Phase-locked loop with improvements on phase jitter, MTIE tracking speed and locking speed**

Patent Number: US6288614  
Publication date: 2001-09-11  
Inventor(s): LINSS BERND (DE)  
Applicant(s): ERICSSON TELEFON AB L M (US)  
Requested Patent: DE19748885  
Application Number: US20000564940 20000504  
Priority Number(s): DE19971048885 19971105; WO1998EP07078 19981105  
IPC Classification: H03L7/197  
EC Classification: H03L7/197B, H03L7/197D, H04L7/033B  
Equivalents: AU1233199, WO9925068

---

**Abstract**

---

The phase locked loop (PLL) of the invention comprises a first divider (DIV1), a second divider (DIV2), a phase detection means (PFD) and an oscillator means (VCO) connected in a PLL loop configuration. The first divider (DIV1) and the second divider (DIV2) each have at least two different selectable frequency factors (a, b; c, d). A control means (CTPL) switches between pairs of frequency division factors selected respectively from both dividers (DIV1, DIV2) according to a predetermined switching pattern (Z). The usage of at least two different pairs of frequency division factors in the dividers (DIV1, DIV2) allows a high phase resolution, a fast tracking speed and a fine adjustment of the frequency/phase of the output signal of the voltage-controlled oscillator (VCO) in steps of ppm

---

Data supplied from the esp@cenet database - I2

DOCKET NO: L & L - I0062

SERIAL NO: \_\_\_\_\_

APPLICANT: Bernd Schmandt

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100